

STRUCTURE OF INTERCONNECTION AND MANUFACTURING METHOD OF SUBSTRATE, AND LIQUID CRYSTAL DISPLAY AND ITS MANUFACTURING METHOD

Publication number: JP2001118847

Publication date: 2001-04-27

Inventor: FUJIKAWA YOSUKE

Applicant: SHARP KK

Classification:

- international: G02F1/1345; G09F9/00; H01L21/3205; H01L23/52; H05K1/02; G02F1/1362; G02F1/13; G09F9/00; H01L21/02; H01L23/52; H05K1/02; H05K1/02; (IPC1-7): H01L21/3205; G02F1/1345; G09F9/00; H05K1/02

- european: G02F1/1345

Application number: JP20000158601 20000529

Priority number(s): JP20000158601 20000529; JP19990224649 19990806

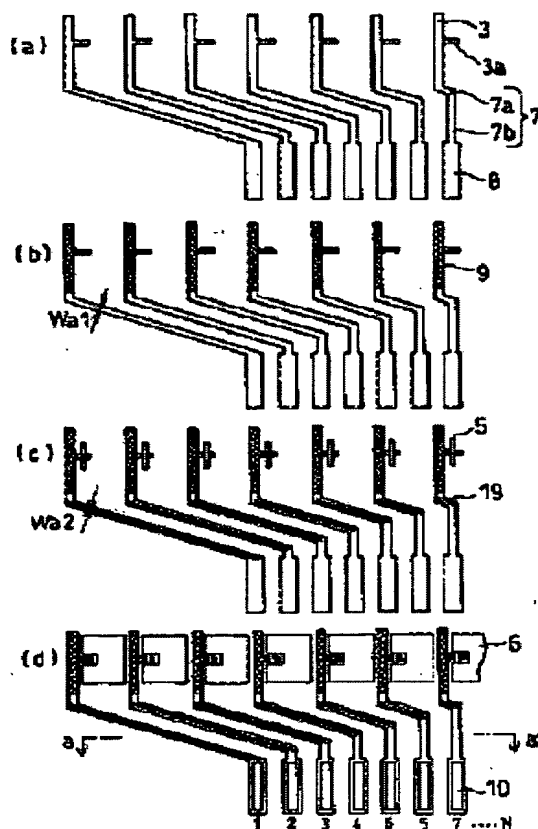
Also published as:

US6683669 (B1)

Report a data error here

Abstract of JP2001118847

PROBLEM TO BE SOLVED: To unify the resistance of interconnections of a substrate while preventing a short-circuit and a disconnection. **SOLUTION:** Each interconnection 7 which connects each signal line 3 and each element-side terminal 8 of a substrate consists of a plurality of connection parts having specified line widths, that is, a first block 7a and a second block 7b. The interconnections 7 are so structured that the resistance of the interconnections 7 may be nearly uniformed by controlling the film thickness of the connection parts or making the interconnections 7 a multilayer structure by forming a laminated interconnection 19 in the first block 7a. Due to this structure, the maximum line width of the interconnections 7 can be kept down to about twice the minimum line width. As a result, the resistance of the interconnections 7 can be unified while preventing a short-circuit in the thick interconnections 7 or a disconnection in the thin interconnections 7.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-118847
(P2001-118847A)

(43) 公開日 平成13年4月27日 (2001.4.27)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
H 0 1 L 21/3205		G 0 2 F 1/1345	2 H 0 9 2
G 0 2 F 1/1345		G 0 9 F 9/00	3 4 8 C 5 E 3 3 8
G 0 9 F 9/00	3 4 8	H 0 5 K 1/02	J 5 F 0 3 3
H 0 5 K 1/02		H 0 1 L 21/88	B 5 G 4 3 5
			R

審査請求 未請求 請求項の数17 O L (全 28 頁)

(21) 出願番号 特願2000-158601 (P2000-158601)
(22) 出願日 平成12年5月29日 (2000.5.29)
(31) 優先権主張番号 特願平11-224649
(32) 優先日 平成11年8月6日 (1999.8.6)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号
(72) 発明者 藤川 陽介
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内
(74) 代理人 100080034
弁理士 原 謙三

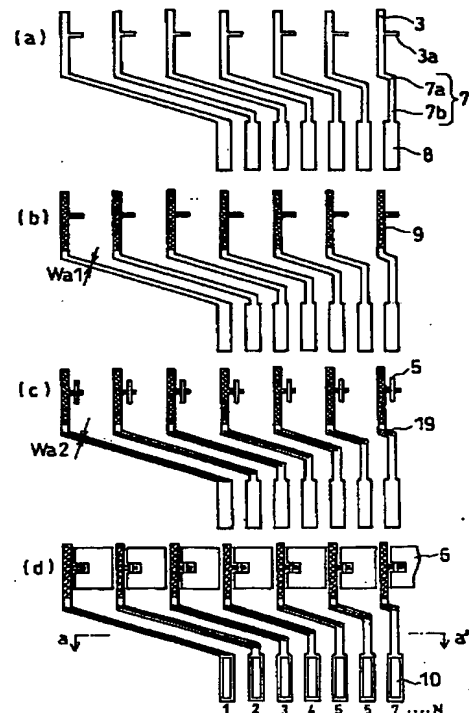
最終頁に続く

(54) 【発明の名称】 配線構造および基板の製造方法ならびに液晶表示装置およびその製造方法

(57) 【要約】

【課題】 短絡や断線を回避しながら、基板の接続配線の抵抗の均一化を図る。

【解決手段】 基板の各信号配線3と素子側端子8とを接続する接続配線7を、それぞれ所定の線幅を有する複数の接続部である第1の区間7a、第2の区間7bから構成し、該複数の接続部の膜厚を調整したり、第1の区間7aに積層配線19を設けて多層構造とすることにより、各接続配線7で全抵抗が略同じになるように構成する。これにより、接続配線7の最大線幅と最小線幅の差を約2倍程度に抑えることができるため、太い接続配線7における短絡や、細い接続配線7における断線を回避しながら、各接続配線7の抵抗の均一化を図ることができる。



【特許請求の範囲】

【請求項 1】各信号配線と基板の端子とを接続する複数の接続配線の配線構造において、

上記各接続配線は、複数の接続部からなり、
上記複数の接続部は、その断面の厚み方向の構造が異なることにより、それぞれの抵抗値を異ならせており、
上記各接続部は、上記各接続配線的全抵抗が略同じになるように設けられていることを特徴とする配線構造。

【請求項 2】上記接続配線は、所定の範囲内の寸法に制限された線幅を有することを特徴とする請求項 1 に記載の配線構造。

【請求項 3】各信号配線と基板の端子とを接続する複数の接続配線の配線構造を有する液晶表示装置において、
上記各接続配線は、複数の接続部からなり、
上記複数の接続部は、その断面の厚み方向の構造が異なることにより、それぞれの抵抗値を異ならせており、
上記各接続部は、上記各接続配線的全抵抗が略同じになるように設けられていることを特徴とする液晶表示装置。

【請求項 4】上記接続配線は、所定の範囲内の寸法に制限された線幅を有することを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】上記接続部は、不良パターンの発生を抑えることができる線幅を有していることを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】上記各接続部の長さは、該接続部が属する接続配線の全長に応じて設定されていることを特徴とする請求項 3 乃至 5 のいずれか 1 項に記載の液晶表示装置。

【請求項 7】上記複数の接続部は、第 1 及び第 2 接続部からなり、
上記第 1 及び第 2 接続部は、複数の導電体の多層構造を有することを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】上記第 1 接続部は第 2 接続部よりも膜厚が大きく、且つ、これら両接続部の総膜厚は、上記各接続配線で全抵抗が同一となるように設定されていることを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 9】各信号配線と基板の端子とを接続する複数の接続配線の配線構造を有する液晶表示装置において、
上記各接続配線は、所定の線幅を有するそれぞれ唯一の導電体の単層構造を有する第 1 及び第 2 接続部からなり、
該第 1 接続部の長さは、それが属する接続配線の全長に応じて長くなると共に、
上記第 1 接続部は上記第 2 接続部よりも膜厚が大きく、
且つ、これら両膜厚は、上記各接続配線で全抵抗が略同一となるように設定されていることを特徴とする液晶表示装置。

【請求項 10】配線構造を有する基板の製造方法において、

所定の線幅を有する複数の接続部を有する接続配線となる第 1 の導電体をパターニングする工程、
上記各接続配線で全抵抗が略同じになるように、第 1 の導電体の処理と他の導電体のパターニングとの少なくとも一方を行う工程を含むことを特徴とする基板の製造方法。

【請求項 11】各信号配線と基板の端子とを接続する接続配線の配線構造を有する液晶表示装置の製造方法において、

所定の線幅を有する複数の接続部を有する接続配線となる第 1 の導電体をパターニングする工程、
上記各接続配線で全抵抗が略同じになるように、第 1 の導電体の処理と他の導電体のパターニングとの少なくとも一方を行う工程を含むことを特徴とする液晶表示装置の製造方法。

【請求項 12】上記各接続部の長さは、該接続部が属する接続配線の全長に応じて設定されることを特徴とする請求項 11 に記載の液晶表示装置の製造方法。

【請求項 13】上記他の導電体は、上記素子側基板の形成に用いられる導電体であることを特徴とする請求項 11 に記載の液晶表示装置の製造方法。

【請求項 14】上記第 1 の導電体と上記他の導電体は、
該第 1 の導電体上に設けた保護膜層を介して、2 以上の部分で導通させることを特徴とする請求項 11 に記載の液晶表示装置の製造方法。

【請求項 15】上記複数の接続配線が、第 1 及び第 2 接続部からなり、

上記第 1 接続部の配線構造物が上記第 2 接続部の配線構造物よりも膜厚が大きいものであって、
上記第 2 接続部の配線群の隙間に、上記第 1 接続部と少なくとも厚み方向の構造が同じであるダミーパターンを設けたことを特徴とする請求項 8 又は 9 に記載の液晶表示装置。

【請求項 16】上記複数の接続配線が、第 1 及び第 2 接続部からなり、

上記第 1 接続部の配線構造物が上記第 2 接続部の配線構造物よりも膜厚が大きいものであって、
上記第 2 接続部の配線群の隙間に、上記第 1 接続部と少なくとも厚み方向の構造が同じであるダミーパターンを設けたことを特徴とする請求項 10 に記載の基板の製造方法。

【請求項 17】上記複数の接続配線が、第 1 及び第 2 接続部からなり、

上記第 1 接続部の配線構造物が上記第 2 接続部の配線構造物よりも膜厚が大きいものであって、
上記第 2 接続部の配線群の隙間に、上記第 1 接続部と少なくとも厚み方向の構造が同じであるダミーパターンを設けたことを特徴とする請求項 11 乃至 14 のいずれか 1 項に記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基板および液晶表示装置に関するものであり、特に配線構造とその製造方法に関するものである。

【0002】

【従来の技術】近年、液晶表示装置はより大容量表示化や高画質化が求められており、それに応じて、表示画面を構成している個々の画素にスイッチング素子を設けたアクティブマトリクス駆動タイプの液晶表示装置が開発されている。例えば、上記スイッチング素子として、薄膜トランジスタ（TFT）素子や、金属-絶縁体-金属（MIM）素子が実用化されている。

【0003】図9は、MIM素子を用いた液晶セルの構成を示したものである。

【0004】一般に、液晶セルは素子側基板1と対向側基板2とをシール材16で貼り合わせた構造を有し、このシール材16の内側に液晶が封入されている。また、所定の光学系を構成するために、液晶セルの少なくとも表示面側に、例えば偏光板17などの光学フィルムが貼られている。

【0005】また、図10に示すように、素子側基板1の一面素子は信号配線3、MIM素子4および画素電極6から構成される。MIM素子4は、下部電極3a、下部電極3aを覆うように形成された薄い絶縁体9（図11参照）、上部電極5から構成されるものであり、下部電極3aと上部電極5の交差部分に位置することになる。

【0006】図9においては、画素に信号を与えるために、素子側基板1の信号配線3（図11参照）と同一面上に素子側端子電極10が設けられ、信号配線3と素子側端子電極10とを接続するために接続配線7が形成される。対向側基板2には、対向側電極14、当該対向側電極14に信号を与えるための対向側端子電極12および接続配線13が形成される。

【0007】画像の表示は、駆動用の回路部材11および回路部材15を素子側基板1の素子側端子電極10および対向側基板2の対向側端子電極12に取り付け、所定の信号を与えることにより行う。

【0008】このようなMIM素子4を用いた素子側基板1の一般的製造方法を図11にしたがって説明する。

【0009】まず、図11（a）のように、ガラス基板上に第1の導電体をスパッタリング法などにより薄膜形成した後に、フォトリソグラフィ法により所定の形状にパターニングして信号配線3、下部電極3a、接続配線7および素子側端子8を形成する。

【0010】次に、図11（b）に示すように、薄い絶縁体9を少なくとも下部電極3a表面に形成する。一般に、絶縁体9の形成には、素子側基板1を電解液中に浸漬して電圧を加えるいわゆる陽極酸化法が用いられる。その際に、素子側端子電極10にまで絶縁体9が形成されたのでは、後に回路部材11と導通がとれず不都合であるから、あらかじめ素子側端子8を樹脂等の保護膜で覆っておき、かかる状態で陽極酸化処理を行った後に、保護膜を除去する方法がとられることが多い。

【0011】更に、図11（c）のように、MIM素子

4を構成する上部電極5となる第2の導電体を、スパッタリング法などにより薄膜形成した後に、フォトリソグラフィ法により所定の形状にパターニングする。

【0012】最後に、図11（d）に示すように、画素電極6となる第3の導電体を、スパッタリング法などにより薄膜形成した後に、フォトリソグラフィ法により所定の形状にパターニングする。なお、回路部材11と素子側端子8との電気的接続の信頼性を確保する為に素子側端子8に素子側端子電極10を形成することもある。別材料で素子側端子電極10を形成しない場合は、素子側端子8がそのまま素子側端子電極10となる。

【0013】また、素子側基板1の更なる製造方法を図12に示す。

【0014】まず、図12（a）のように、ガラス基板上に第1の導電体をスパッタリング法などにより薄膜形成した後に、フォトリソグラフィ法により所定の形状にパターニングして信号配線3、下部電極3a、接続配線7および素子側端子8を形成する。

【0015】次に、図12（b）に示すように、陽極酸化法を用いて第1の導電体の全面に薄い絶縁体9を形成した後に、フォトリソグラフィ法を用いて、素子側端子8の表面を覆う絶縁体9をパターニングすることにより、スルーホール18を形成し、第1の導電体を露出させる。

【0016】更に、図12（c）のように、MIM素子4を構成する上部電極5となる第2の導電体をスパッタリング法などにより薄膜形成した後に、フォトリソグラフィ法により所定の形状にパターニングする。

【0017】最後に、図12（d）に示すように、画素電極6となる第3の導電体を、スパッタリング法などにより薄膜形成した後に、フォトリソグラフィ法により所定の形状にパターニングする。なお、回路部材11と素子側端子8との電気的接続の信頼性を確保する為に素子側端子8に素子側端子電極10を形成することがあるのは、先に示した製造方法と同様である。

【0018】以上の製造方法によれば、陽極酸化前の基板は樹脂等で汚れていないため、均一な絶縁体9を形成することができ、特性にばらつきの少ないMIM素子4を得やすいという利点がある。

【0019】一方、対向側基板2は、素子側基板1より容易に作成することが出来る。例えば、ガラス基板上に電極材料をスパッタリング法などにより薄膜形成した後に、対向側端子電極12、接続配線13および対向側電極14を一括してパターニングすることにより対向側基板2が得られる。

【0020】また、対向側基板2は、素子側基板1ほど微細な配線加工を行う必要がない場合も多く、かかる場合には、デボマスクを用いて電極材料のスパッタリングを行うことにより、対向側端子電極12、接続配線13および対向側電極14のパターニングを実現してもよ

い。

【0021】こうして作成した素子側基板1および対向側基板2の表示領域の電極膜面に、不図示の配向膜を塗布し、ラビング処理を施した後、互いに電極が向かいあうようにシール材16を介して貼りあわせて、任意の位置に設けた不図示の注入口から真空注入法などにより液晶を注入して封止する。この後、液晶セルの表示面に偏光板17などの光学フィルムを貼り、回路部材11などを取り付けて、液晶表示装置が完成する。

【0022】

【発明が解決しようとする課題】一般に、液晶セルは大判のマザーガラスから複数の液晶セルを同時に製造し、切り出して製造される。したがって、液晶セルの表示領域の面積が同じなら、液晶セルの非表示領域であって、素子側端子電極10などを形成する額縁領域を小さくした方が、マザーガラスあたりの液晶セルの取れ数が多くなり、製造コストを下げることができる。また、低コスト化を目的とした回路部材の小型化に伴い、素子側端子電極10の各端子間のピッチを小さくすることも求められている。

【0023】しかしながら、隣り合う端子間のピッチを小さくしたり、額縁部分を小さくすると、接続配線の形成が難しくなるという問題を生じる。これについて、図13乃至図15を用いて説明する。なお、図13乃至図15では、偏光板17は図示していない。

【0024】例えば、図13に示すように、素子側端子電極10のピッチを大きくした場合には、接続配線7の間隔が広いと、接続配線7のパターニング時の膜残りのため、接続配線7の短絡が問題となることは少ない。また、各接続配線7の長さに大きな差が無いので、各接続配線7の抵抗の差も小さい。

【0025】しかし、図14に示すように、端子ピッチが小さくなると、接続配線7の間隔が狭まり、パターニング時の膜残りによって接続配線7の短絡が生じるおそれがある。また、各接続配線7に大きな長短ができるため、各接続配線7の抵抗の差が大きくなる。各接続配線7の抵抗に大きな差があると、素子側端子電極10に同一電圧を印加している場合でも、各信号配線3に配分される電圧値が異なるものとなり、各画素の表示の濃淡が揃わなくなる。

【0026】この場合、例えば、図11のように接続配線7の長さに比例して線幅を太くして各接続配線7の抵抗を揃える解決手段をとることはできるが、抵抗を調整するために線幅を太くした長い接続配線7同士の間隔はさらに狭まり、短絡のおそれが増す。一方、短い接続配線7において、抵抗を調整するために線幅を細くすると、断線の確率が高くなり不具合である。

【0027】また、図15に示したように、端子ピッチを狭くしなくても、液晶セルの外形寸法を小さくした場合には、各接続配線7の長さは大きく異なるものとな

り、上記と同様の問題を生じる。

【0028】このような接続配線7における不均一な抵抗の問題は、例えば、A1（比抵抗＝ $4\mu\Omega\cdot\text{cm}$ ）等の低抵抗材料を接続配線7として用いることができれば、解決することができる。これにより、接続配線7の抵抗値を小さいものとするだけでなく、各接続配線7の長さや形状の違いに依存する抵抗のばらつきも小さくすることができるからである。

【0029】しかし、接続配線7に用いる配線材料は下部電極3aに用いる材料を兼ねている為、良好な素子特性を有するMIM素子4を得るために、接続配線7に用いることのできる配線材料の選択肢は限られている。現在、実用化されている配線材料は比抵抗の大きいTa（比抵抗＝約 $25\sim 200\mu\Omega\cdot\text{cm}$ ）のみである。したがって、接続配線7としてA1（比抵抗＝ $4\mu\Omega\cdot\text{cm}$ ）等の低抵抗材料を用いることはできない。

【0030】また、接続配線7の抵抗値を揃えるために、接続配線7の線幅を太くすると、短絡のおそれが高まるだけでなく、液晶セルの美観を損なうことがある。例えば、遮光性の配線材料を使用するMIM素子4を用い、カラーフィルターのない白黒表示の液晶セルでは、接続配線7を設ける領域が、画素電極6を設ける画素領域に隣接し、使用者の視野に直接入るため、接続配線7の配線パターンが目立って見苦しくなる。

【0031】このように、接続配線7には、配線の抵抗を均一にするために必要な配線の寸法がある。一方で、不良パターンを発生させずに、また場合によっては美観を損なわないような過不足ない配線寸法が要求される。

【0032】接続配線7を断線させないためには、液晶セルの製造ラインの実力に左右されるが、 $10\mu\text{m}$ 前後の線幅が必要である。また、 $30\mu\text{m}$ 前後になると、使用者の個人差によるが、配線が不快に感じられるようになる。昨今の液晶セルでは、接続配線7の長短の比が3倍程度になることも珍しくなく、単純に接続配線7の線幅と長さを調整する方法では、抵抗を揃えた設計が困難になってきた。

【0033】本発明は、以上のような従来手法の問題点を解決するためになされたもので、その目的は、短絡や断線を回避しながら、接続配線の抵抗の均一化を図ることのできる接続配線の構造と基板の製造方法および液晶表示装置ならびにその製造方法を提供することにある。

【0034】

【課題を解決するための手段】本発明に係る配線構造は、上記の課題を解決するために、各信号配線と基板の端子とを接続する複数の接続配線の配線構造において、上記各接続配線は、複数の接続部からなり、上記複数の接続部は、その断面の厚み方向の構造が異なることにより、それぞれの抵抗値を異ならせており、上記各接続部は、上記各接続配線の全抵抗が略同じになるように設けられていることを特徴としている。

【0035】上記の発明によれば、基板の各端子を介して入力される信号電圧が接続配線を介して所望の信号配線に印加される。

【0036】一般に、基板の端子と信号配線との距離は端子毎にそれぞれ異なるので、各接続配線の抵抗も端子毎に異なる。このように生じた抵抗の差により、信号配線に印加される信号電圧にムラが生じて所望のもでなくなり、信頼性が低下することになる。これを克服するために、接続配線毎に配線の線幅を変化させて、各接続配線の抵抗を揃えることが考えられる。しかし、高集積化に伴って端子ピッチ（端子間の距離）が小さくなると、次のような問題点を招来する。即ち、各接続配線の全抵抗を略同じにするためには、接続配線の線幅を変化させることが必要であるが、接続配線が長い場合には線幅が大きくなるので隣り合う接続配線間で短絡が生じ易くなる一方、接続配線の長さが短い場合には線幅が小さくなるので断線が生じ易くなる。

【0037】そこで、上記発明によれば、各接続部は、その断面の厚み方向の構造を変えている。つまり、断面の厚み方向の構造に応じて、各接続部毎に単位長さ当たりの抵抗値を変化させることが可能となる。このように、各接続部の抵抗値を変化させることによって、接続配線の全抵抗がそれぞれ略同じになるように調整可能となる。つまり、従来のように接続配線の線幅を変化させるのではなくて、断面の厚み方向の構造を変えることによって、各接続配線の線幅を適切な値に収めることができる。それゆえ、接続配線の線幅の変化に起因して生じていた従来の接続配線の短絡や断線を確実に防ぐことが可能となる。断面の厚み方向の構造は、例えば、導体層の膜厚を変えたり、2種類以上の導体を組み合わせて多層構造としたりすることによって変化する。

【0038】また、上記複数の接続部によれば、該複数の接続部が、接続配線間で全抵抗が互いに略同じになるように設けられている。これにより、各接続配線の抵抗は端子毎に略同じになる。このように、端子毎に抵抗の差がなくなるので、信号配線に印加される信号電圧にはムラが生じなくなり、所望の信号電圧を各端子に印加することが可能となる。それゆえ、回路動作の信頼性が向上する。

【0039】更には、上記複数の接続部における線幅が同一値であるときには、接続配線毎に線幅を調整することにより接続配線間での抵抗を略同じにする従来手法に比較して、接続配線を複雑な形状に引き回した場合でも、接続配線間の間隔は一定値に保たれるため、接続配線同士の短絡を起こしにくい。

【0040】これにより、接続配線の抵抗の均一化が容易に行えるので、端子ピッチを狭めることが可能となる。この結果、小型の安価な回路部材を使用することができ、コストダウンを実現できる。また、接続配線の設計に余裕ができ、上記基板が複数設けられた1枚のマザ

ーボードから取り出せる数が増加するので、全体としての製造コストを確実に低減できる。

【0041】上記配線構造において、上記接続配線は、所定の範囲内の寸法に制限された線幅を有することが好ましい。本発明において、接続配線は、配線の抵抗を均一にするために所定の線幅を与えられている。一方で、接続配線には、配線同士の短絡や、断線などの不良パターンを発生させないような、また場合によっては美観を損なわないような過不足ない配線寸法が要求される。

【0042】そこで、上記配線構造において、上記接続配線を所定の範囲内の寸法に制限された線幅を有するものとするにより、各接続配線の線幅が太過ぎることによる接続配線同士の短絡や、外観への悪影響、更には各接続配線の線幅が細過ぎることによる接続配線の断線を防止しながら、各接続配線における抵抗の均一化を行うことができる。

【0043】本発明に係る液晶表示装置は、上記の課題を解決するために、各信号配線と基板の端子とを接続する複数の接続配線の配線構造を有する液晶表示装置において、上記各接続配線は複数の接続部からなり、上記複数の接続部は、その断面の厚み方向の構造が異なることにより、それぞれの抵抗値を異ならせており、上記各接続部は、上記各接続配線の全抵抗が略同じになるように設けられていることを特徴としている。

【0044】上記の発明において、基板の端子を介して入力される信号電圧が所望の接続配線、及び信号配線を介して液晶表示装置内の液晶セルに印加され、所望の液晶セルが駆動される。

【0045】一般に、基板の端子と信号配線との距離は端子毎にそれぞれ異なるので、各接続配線の抵抗も異なる。このように生じた抵抗の差により、信号配線に印加される信号電圧にムラが生じ、各画素の表示の濃淡が揃わず、所望の表示が得られなくなる。これを克服するために、接続配線毎に配線の線幅を変化させて、各接続配線の抵抗を揃えることが考えられる。

【0046】しかし、液晶セルの外形寸法を小さくすると、基板における端子間の距離である、いわゆる端子ピッチが小さくなり、次のような問題点を招来する。即ち、各接続配線の全抵抗を略同じにするためには、接続配線の線幅を変化させることが必要であるが、接続配線が長い場合には線幅が大きくなるので隣り合う接続配線間で短絡が生じ易くなる一方、接続配線の長さが短い場合には線幅が小さくなるので断線が生じ易くなる。

【0047】そこで、上記発明によれば、各接続部は、その断面の厚み方向の構造を変えている。つまり、断面の厚み方向の構造に応じて、接続部毎に単位長さ当たりの抵抗値を変化させることが可能となる。このように、各接続部の抵抗値を変化させることによって、各接続配線の全抵抗が略同じになるように調整可能となる。つまり、従来のように接続配線の線幅を変化させるのではな

くて、断面の厚み方向の構造を変えることによって、各接続配線の線幅を適切な値に収めることができる。それゆえ、接続配線の線幅の変化に起因して生じていた従来の接続配線の短絡や断線を確実に防ぐことが可能となる。断面の厚み方向の構造は、例えば、導体層の膜厚を変えたり、2種類以上の導体を組み合わせて多層構造としたりすることによって変化する。

【0048】各接続部は、不良パターンの発生を抑えることができるように所定の範囲内の寸法に制限された線幅を有しているので、線幅の過不足に起因する上記短絡および断線は生じなくなる。接続配線の線幅に過不足が無いので、白黒表示型の液晶セルのように接続配線が直接見える液晶セルであっても、太い配線や線幅が変化することによる接続配線のパターンムラが無く、美観を損ねることがない。

【0049】また、上記複数の接続部によれば、該複数の接続部は、接続配線間で全抵抗が互いに略同じになるように設けられている。これにより、各接続配線の抵抗は端子毎に略同じになる。このように、端子毎に抵抗の差がなくなるので、信号配線に印加される信号電圧にはムラが生じなくなり、各画素の表示の濃淡が揃い、所望の表示が得られる。それゆえ、画素表示の信頼性が著しく向上する。

【0050】したがって、接続配線の抵抗の均一化が容易に行えるので、端子ピッチを狭めることが可能となる。したがって、小型の安価な回路部材を使用でき、全体としてコストダウンを実現できる。また、接続配線の設計に余裕ができるので、上記基板が複数設けられた1枚のマザーガラスから取り出せる数が増加し、全体としての製造コストを確実に低減できる。

【0051】上記液晶表示装置において、上記接続配線は、所定の範囲内の寸法に制限された線幅を有することが好ましい。本発明において、接続配線は、配線の抵抗を均一にするために所定の線幅を与えられている。一方で、接続配線には、配線同士の短絡や、断線などの不良パターンを発生させないような、また場合によっては美観を損なわないような過不足ない配線寸法が要求される。

【0052】そこで、上記液晶表示装置において、上記接続配線を所定の範囲内の寸法に制限された線幅を有するものとするにより、各接続配線の線幅が太過ぎることによる接続配線同士の短絡や、外観への悪影響、更には各接続配線の線幅が細過ぎることによる接続配線の断線を防止しながら、各接続配線における抵抗の均一化を容易に行うことができる。

【0053】これにより、信号電圧を所望の液晶セルに印加するための信号入力端子の端子ピッチを狭めることが可能となる。したがって、小型の安価な回路部材を使用でき、全体としてコストダウンを実現できる。また、接続配線の設計に余裕ができるので、上記基板が複数設

けられた1枚のマザーガラスから取り出せる数が増加し、全体としての製造コストを確実に低減できる。

【0054】更には、上記液晶表示装置において、上記接続部は、不良パターンの発生を抑えることができる線幅を有していることが好ましい。本発明において、接続配線は、配線の抵抗を均一にするために所定の線幅を与えられている。一方で、接続配線には、断線や接続配線同士の短絡などの不良パターンを発生させないような過不足ない配線寸法が要求される。

【0055】例えば、接続配線を断線させない為には、液晶セルの製造ラインの実力に左右されるが、接続配線の線幅として10 μ m前後は必要である。一方、接続配線の引き回しパターンや接続配線の断面形状などに依存するものの、例えば、接続配線の線幅が30 μ mを超えると、接続配線のパターン設計における自由度が大幅に減少し、各接続配線間に十分な間隔を設けることが難しくなって接続配線同士の短絡を引き起こす可能性が高くなる。

【0056】したがって、上記液晶表示装置において、上記接続部を不良パターンの発生を抑えることができる線幅を有するものとするにより、接続配線における不良パターンの発生を抑制しつつ、各接続配線における抵抗の均一化を図ることができるようになる。

【0057】上記液晶表示装置において、上記各接続部の長さは、該接続部が属する接続配線の全長に応じて設定されていることが好ましい。各接続配線における複数の接続部の長さの設定には、該接続部の数が多ければ多いほど、複雑で時間を要する。しかし、上記の場合、各接続部は所定の線幅を有しているので、各接続部の抵抗は、材質が同じものであれば、その長さに応じて変化することになる。このように、接続配線の全長に応じて各接続部の長さが設定されるので、各接続配線における複数の接続部の抵抗の設定が容易に短時間でできる。

【0058】上記の液晶表示装置において、上記複数の接続部は、第1及び第2接続部からなり、該第1及び第2接続部は複数の導電体の多層構造を有することが好ましい。

【0059】この場合、第1及び第2接続部は複数の導電体の多層構造を有しているので、多層構造のこれら複数の導電体は、互いに電氣的に並列接続される。したがって、たとえ複数の導電体のうちの一つに断線が生じても、当該断線した導電体が剥離していない限り、多層構造の低抵抗化に寄与すると共に、他の導電体に断線が生じていない限り、第1接続部は第2接続部と、第2接続部は第1接続部と電氣的接続関係をそれぞれ保持できる。それゆえ、配線構造の信頼性が著しく高くなる。

【0060】また、上記の液晶表示装置において、上記第1接続部は第2接続部よりも膜厚が大きく、且つ、これら両接続部の総膜厚は、上記各接続配線で全抵抗が同一となるように設定されていることが好ましい。

【0061】上記第1接続部は第2接続部よりも膜厚が大きい構成であるから、一般に、第1接続部の抵抗を第2接続部の抵抗より小さくすることが容易である。したがって、第1接続部及び第2接続部の層構造のみならず、第1接続部及び第2接続部の膜厚をも適宜調整することにより、第1接続部及び第2接続部の抵抗を調整することができる。それゆえ、接続配線の設計の自由度を向上させながら、接続配線の全抵抗を揃えることが可能となる。

【0062】本発明の更に他の液晶表示装置は、上記の課題を解決するために、各信号配線と基板の端子とを接続する複数の接続配線の配線構造を有する液晶表示装置において、上記各接続配線は、所定の線幅を有するそれぞれ唯一の導電体の単層構造を有する第1及び第2接続部からなり、該第1接続部の長さは、それが属する接続配線の全長に応じて長くなると共に、上記第1接続部は上記第2接続部よりも膜厚が大きく、且つ、これら両膜厚は、上記各接続配線で全抵抗が略同一となるように設定されていることを特徴としている。

【0063】上記の構成において、所定の線幅を有する第1接続部の膜厚は、所定の線幅を有する第2接続部の膜厚より大きいため、第1接続部の単位長さあたりの抵抗を第2接続部の単位長さあたりの抵抗より小さく設計することが容易である。

【0064】一般に各接続配線の抵抗はその全長に比例して大きくなるが、上記の構成によれば、各接続配線の全長に応じて、第2接続部より単位長さあたりの抵抗が小さい第1接続部の長さを長くすることにより、接続配線全体に占める第1接続部の割合を大きくすることができ、全長の異なる接続配線の抵抗を揃えることが容易となる。また、第1接続部、第2接続部共に、唯一の導電体の単層構造であるから、多層構造の場合に比較して、設計、形成共に容易であり、より簡易な構成にて各接続配線の抵抗を揃えることができる。

【0065】これにより、端子毎に接続配線に起因する抵抗の差がなくなるので、信号配線に印加される信号電圧にはムラが生じなくなり、各画素の表示の濃淡が揃い、所望の表示が得られる。それゆえ、画素表示の信頼性が著しく向上する。

【0066】したがって、接続配線の抵抗の均一化が容易に行えるので、端子ピッチを狭めることが可能となる。したがって、小型の安価な回路部材を使用でき、全体としてコストダウンを実現できる。また、接続配線の設計に余裕ができるので、上記基板が複数設けられた1枚のマザーガラスから取り出せる数が増加し、全体としての製造コストを確実に低減できる。

【0067】更に、上記各接続部は、不良パターンの発生を抑えることができるように、所定の範囲内の寸法に制限された線幅を有しているので、線幅の過不足に起因する上記短絡および断線は生じなくなる。接続配線の線

幅に過不足が無いので、白黒表示型の液晶セルのように接続配線が直接見える液晶セルであっても、太い配線や線幅が変化することによる接続配線のパターンムラが無く、美観を損ねることがない。

【0068】本発明に係る基板の製造方法は、上記の課題を解決するために、配線構造を有する基板の製造方法において、所定の線幅を有する複数の接続部を有する接続配線となる第1の導電体をパターニングする工程、上記各接続配線で全抵抗が略同じになるように、第1の導電体の処理と他の導電体のパターニングとの少なくとも一方を行う工程を含むことを特徴としている。

【0069】一般に、基板に信号を入力するための端子と信号配線を接続するための接続配線が複数存在する場合には、設計上の制約により、各接続配線の長さは異なったものとせざるを得ない場合が多く、かかる場合には、各接続配線の抵抗の差によって、信号配線に印加される信号電圧にムラが生じて所望のもでなくなり、信頼性が低下することになる。これを克服するために、接続配線毎に配線の線幅を変化させて、各接続配線の抵抗を揃えることが考えられる。

【0070】しかし、高集積化に伴って端子間の距離、いわゆる端子ピッチが小さくなると、次のような問題点を招来する。即ち、各接続配線の全抵抗を略同じにするためには、接続配線の線幅を変化させることが必要であるが、接続配線が長い場合には線幅が大きくなるので隣り合う接続配線間で短絡が生じ易くなる一方、接続配線の長さが短い場合には線幅が小さくなるので断線が生じ易くなる。

【0071】そこで、上記発明によれば、第1の導電体をパターニングすることにより形成された各接続配線は、不良パターンの発生を抑えることができるように所定の範囲内の寸法に制限された線幅を有しているので、線幅の過不足に起因する上記短絡および断線は生じなくなる。

【0072】また、上記複数の接続部によれば、接続配線間で全抵抗が互いに略同じになるように、第1の導電体の処理や第1の導電体以外の他の導電体のパターニングを行うことができる。ここで第1の導電体の処理とは、例えば、エッチング処理やレーザー加熱など、任意の方法を用いることができる。また、第1の導電体の処理や他の導電体のパターニングは、該複数の接続部において、一部の接続部のみに行ってもよいし、接続部毎に異なる処理としてもよい。これにより、各接続配線の抵抗は端子毎に略同じになる。したがって、信号配線に印加される信号電圧にはムラが生じなくなり、所望の信号電圧を各端子に印加することが可能となる。それゆえ、回路動作の信頼性が向上する。

【0073】これにより、接続配線の抵抗の均一化が容易に行えるので、端子ピッチを狭めることが可能となる。この結果、小型の安価な回路部材を使用でき、全体

としてコストダウンを実現できる。また、接続配線の設計に余裕ができるので、上記基板が複数設けられた1枚のマザーボードから取り出せる数が増加し、全体としての製造コストを確実に低減できる。

【0074】本発明に係る液晶表示装置の製造方法は、上記の課題を解決するために、各信号配線と基板の端子とを接続する接続配線の配線構造を有する液晶表示装置の製造方法において、所定の線幅を有する複数の接続部を有する接続配線となる第1の導電体をパターニングする工程、上記各接続配線で全抵抗が略同じになるように、第1の導電体の処理と他の導電体のパターニングとの少なくとも一方を行う工程を含むことを特徴としている。

【0075】液晶セルにおいては、素子側基板の端子を介して入力される信号電圧が所望の接続配線、及び信号配線を介して画素電極に印加され、所望の画素が駆動される。

【0076】一般に、基板の端子と信号配線との距離は端子毎にそれぞれ異なるので、各接続配線の抵抗も異なる。このように生じた抵抗の差により、信号配線に印加される信号電圧にムラが生じ、各画素の表示の濃淡が揃わず、所望の表示が得られなくなる。これを克服するために、接続配線毎に配線の線幅を変化させて、各接続配線の抵抗を揃えることが考えられる。

【0077】しかし、液晶セルの外形寸法を小さくすると、基板における端子間の距離、いわゆる端子ピッチが小さくなり、次のような問題点を招来する。即ち、各接続配線の全抵抗を略同じにするためには、接続配線の線幅を変化させることが必要であるが、接続配線が長い場合には線幅が大きくなるので隣り合う接続配線間で短絡が生じ易くなる一方、接続配線の長さが短い場合には線幅が小さくなるので断線が生じ易くなる。

【0078】そこで、上記製造方法によれば、製造した液晶表示装置の各接続配線は、不良パターンの発生を抑えることができるように所定の範囲内の寸法に制限された線幅を有しているので、線幅の過不足に起因する上記短絡および断線は生じなくなる。接続配線の線幅に過不足が無いので、白黒表示型の液晶セルのように接続配線が直接見える液晶セルであっても、太い配線や線幅が変化することによる接続配線のパターンムラが無く、美観を損ねることがない。

【0079】また、上記複数の接続部は、接続配線間で全抵抗が互いに略同じになるように設けられている。これにより、端子毎に接続配線に起因する抵抗の差がなくなるので、信号配線に印加される信号電圧にはムラが生じなくなり、各画素の表示の濃淡が揃い、所望の表示が得られる。それゆえ、画素表示の信頼性が著しく向上する。

【0080】したがって、接続配線の抵抗の均一化が容易に行えるので、端子ピッチを狭めて液晶表示装置を製

造することが可能となる。この結果、小型の安価な回路部材を使用でき、全体としてコストダウンを実現できる。また、接続配線の設計に余裕ができるので、上記基板が複数設けられた1枚のマザーガラスから取り出せる数が増加し、全体としての製造コストを確実に低減できる。

【0081】上記液晶表示装置の製造方法において、上記各接続部の長さは、該接続部が属する接続配線の全長に応じて設定されることが好ましい。

【0082】各接続配線における複数の接続部の長さの設定には、該接続部の数が多ければ多いほど、複雑で時間を要する。しかし、上記の場合、各接続部は、接続配線に関係なく、同じ線幅を有しているので、各接続部の抵抗は、材質が同じものであれば、その長さに応じて変化することになる。

【0083】このように、接続配線の全長に応じて各接続部の長さが設定されるので、各接続配線における複数の接続部の抵抗の設定を容易に行いながら、液晶表示装置を製造することができる。

【0084】また、上記液晶表示装置の製造方法において、上記他の導電体は、上記素子側基板に含まれる導電体であることが好ましい。

【0085】上記他の導電体は、各接続配線における全抵抗を同じようにするために、各接続配線における複数の接続部の抵抗を適宜調整する役割を果たしている。ここで、上記他の導電体を上記素子側基板に含まれる素子の形成に用いられる導電体と同じものとすれば、第2の導電体のパターニングに用いるフォトリソグラフィの変更のみを行うことにより、上記他の導電体のパターニングが行われることとなる。

【0086】これにより、従来の素子側基板の製造工程になら新しい工程を追加することなく、第2の導電体をパターニングすることにより、各接続配線における複数の接続部の抵抗を調整することができるので、従来の液晶表示装置と変わらないコストで液晶表示装置を製造することができる。

【0087】更には、上記液晶表示装置の製造方法において、上記第1の導電体と上記他の導電体は、該第1の導電体上に設けた保護膜層を介して、2以上の部分で導通させることが好ましい。

【0088】上記の構成によれば、第1の導電体上に保護膜が設けられるので、他の導電体などのパターニング時において、第1の導電体が腐食して膜厚が薄くなり、第1導電体の抵抗値が大きくなることが防がれる。

【0089】一方、他の導電体は、第1の導電体上の少なくとも2以上の部分で、第1の導電体と他の導電体が導通しているので、上記第1の導電体と電気的な並列接続が確保される。

【0090】これにより、第1の導電体の構造変化を保護膜層で保護しながら、配線抵抗を下げることができる

ので、安定した抵抗を有する第1の導電体が得られると共に、設計の自由度が向上し、更には、配線抵抗の製造ばらつきをも抑制しながら液晶表示装置を製造することができる。

【0091】また、本発明に係る液晶表示装置、基板の製造方法、及び液晶表示装置の製造方法において、上記複数の接続配線が、第1及び第2接続部からなり、上記第1接続部の配線構造物が上記第2接続部の配線構造物よりも膜厚が大きいものであって、上記第2接続部の配線群の隙間に、上記第1接続部と少なくとも厚み方向の構造が同じであるダミーパターンを設けることが好ましい。

【0092】一般に液晶表示装置においては、素子側基板と対向側基板の間に挟持される液晶層の厚みを均一にすることが重要であり、不均一な部分は色ムラとして見えるので、液晶表示装置の品位を悪化させる。

【0093】上記の発明においては、第1接続部は素子側基板表面に対してそのパターン表面が高いので、液晶層の厚みが薄い。一方、第2接続部は素子側基板表面に対してパターン表面が低いので、液晶層の厚みが厚い。したがって、このままでは、液晶表示装置の第1接続部の近傍と第2接続部の近傍における背景色がそれぞれ異なり、液晶表示装置の美観を損ねることになる。

【0094】そこで、上記の発明によれば、素子側基板表面に対してパターンの高さが低い第2接続部の配線群の隙間に、第1接続部と少なくとも厚み方向の構造が同じであるダミーパターンを更に設けている。これにより、第1接続部のパターン表面の高さと、ダミーパターンを含んだ第2接続部のパターン表面の高さが略等しくなるので、液晶層の厚みの違いにより生じていた色ムラが生じなくなり、液晶表示装置の美観を維持できる。

【0095】

【発明の実施の形態】〔実施の形態1〕本発明の実施の一形態について、図面に基づいて説明すれば、以下のとおりである。

【0096】図1(a)～(d)は素子側基板1を形成する際の各工程をあらわす説明図である。また、図2は、図1(d)のa-a'線矢視断面図である。

【0097】まず、図1(a)に示すように、ガラス基板上に信号配線3、下部電極3a、接続配線7および素子側端子8となる第1の導電体として、Taをスパッタリング法により薄膜形成した後に、フォトリソグラフィー法により所定の形状にパターニングする。

【0098】この時、接続配線7を、第1の区間7a

$$R_a(n) = R_{a1}(n) \times R_{a2}(n) / (R_{a1}(n) + R_{a2}(n))$$

$$R_{a1}(n) = \rho_1 \times l_a(n) / (W_{a1} \times D_1)$$

$$R_{a2}(n) = \rho_2 \times l_a(n) / (W_{a2} \times D_2)$$

また、第2の区間7bの配線抵抗 $R_b(n)$ は、以下の式であらわされる。

$$R_b(n) = \rho_1 \times l_b(n) / (W_{b1} \times D_1)$$

(接続部)と第2の区間7b(接続部)に分け、第1の区間7aの長さが接続配線7の全長に比例するように形成する。すなわち、全長が最長である接続配線7においては、全区間が第1の区間7aで占められ、全長が最短となる接続配線7においては、全区間が第2の区間7bで占められることになる。

【0099】次に、薄い絶縁体9を第1の導電体の表面に形成するが、本実施の形態では、図1(b)のように、素子側端子8のみでなく接続配線7の全てを保護樹脂で覆った状態で陽極酸化法をおこない、画素領域内に限定して絶縁体9を形成した。

【0100】こうすることにより、第1の区間7aの全区間において、Taと後に形成する第2の導電体たるTiとを接続させることができる。この場合、積層配線19が断線したとしても、少なくとも第1の区間7aの一部においてはTaとTiとが積層している部分を確保することができるので、第1の区間7aの低抵抗化には十分に寄与できる。

【0101】次に、図1(c)に示すように、上部電極5を形成するために、第2の導電体たるTiをスパッタリング法にて薄膜形成した後に、フォトリソグラフィー法により所定の形状にパターニングする。同時に、第1の区間7aの表面に積層配線19もパターニングしておく。

【0102】次に、図1(d)のように、画素電極6および素子側端子電極10となる第3の導電体としてITOをスパッタリング法により薄膜形成した後に、フォトリソグラフィー法にて所定の形状にパターニングする。

【0103】上記の工程において、接続配線7は、全長が最長Lである接続配線7を1番目とし、全長が最短lである接続配線7をN番目とすると、n番目の接続配線を構成する第1の区間7aの長さ $l_a(n)$ と第2の区間7bの長さ $l_b(n)$ が以下のような関係になるように形成する。

$$l_a(n) = L \times (N - n) / (N - 1)$$

$$l_b(n) = l \times (n - 1) / (N - 1)$$

つまり、接続配線7は第1の区間7aと第2の区間7bからなるのであるが、接続配線7が最長となる部分($n = 1$)では全区間が第1の区間7aとなり、接続配線7が最短となる部分($n = N$)では全区間が第2の区間7bとなるものである。

【0104】ここで、第1の区間7aの配線抵抗 $R_a(n)$ は、以下の式であらわされる。

したがって、n番目の接続配線7の配線抵抗 $R(n)$ は、以下の式であらわされる。

$$R(n) = R_a(n) + R_b(n)$$

なお、以上の式中に用いた記号の意義は以下の通りである。

- $R_a(n)$: n 番目の第1の区間7aの配線抵抗
- $R_{a1}(n)$: n 番目の第1の区間7aの第1の導電体の配線抵抗
- $R_{a2}(n)$: n 番目の第1の区間7aの第2の導電体の配線抵抗
- $R_b(n)$: n 番目の第2の区間7bの配線抵抗
- ρ_1 : 第1の導電体の比抵抗
- ρ_2 : 第2の導電体の比抵抗
- W_{a1} : 第1の区間7aにおける第1の導電体の線幅
- W_{a2} : 第1の区間7aにおける第2の導電体の線幅
- W_{b1} : 第2の区間7bにおける第1の導電体の線幅
- D_1 : 第1の導電体の膜厚
- D_2 : 第2の導電体の膜厚

例えば、 $L=3$ (mm)、 $l=1$ (mm) の場合を考え、具体的数値として、 $\rho_1=100$ ($\mu\Omega\cdot\text{cm}$)、 $\rho_2=120$ ($\mu\Omega\cdot\text{cm}$)、 $W_{a1}=20$ (μm)、 $W_{a2}=12$ (μm)、 $W_{b1}=11$ (μm)、 $D_1=3000$ (Å)、 $D_2=4000$ (Å) を代入して $R_a(n)$ 、 $R_b(n)$ を計算すると、以下ようになる。

$$R_a(n) = 300 \times (N-n) / (N-1) \quad (\Omega)$$

$$R_b(n) = 303 \times (n-1) / (N-1) \quad (\Omega)$$

すなわち、 $R(n)$ は以下の式であらわせる。

$$R(n) = 300 \times (N-n) / (N-1) + 303 \times (n-1) / (N-1) \quad (\Omega)$$

以上から明らかなように、接続配線7が最長となる部分 ($n=1$) では、全区間が第1の導電体と第2の導電体の2層構造からなる第1の区間7aであり、抵抗は300Ωになる。一方、最短となる部分 ($n=N$) では全区間が第1の導電体の単層構造からなる第2の区間7bであり、抵抗は303Ωとなる。上式に従えば、 $R(n)$ は n の値によらず、ほぼ一定値となる。このようにして、接続配線7の全抵抗が略同じになるような断面構造を有している接続配線7を形成することができる。

【0105】得られた液晶セルの外観を図16に示す。接続配線7が、第1の導電体と第2の導電体の2層構造からなる第1の区間7aと、第1の導電体の単層構造からなる第2の区間7bとからなっている構成が図示されている。図16においては、素子側端子8上に第3の導電体層が設けられ素子側端子電極10としているが、接続配線7及び素子側端子電極10以外の構成は図13と同様である。

【0106】従来の方法では、接続配線7毎の抵抗のばらつきを線幅の調整のみにより揃えるため、最大の線幅を有する接続配線7と最小の線幅を有する接続配線7では、線幅に3倍もの違いを作らなければならないが、本実施の形態では最大の線幅を有する部分で20μm、最小の線幅を有する部分で11μmと2倍程度の違いにまで線幅のばらつきを縮小できる。したがって、全ての接続配線7を、断線や短絡などの不良パターンの発生を抑えることのできる線幅である約10μm～約30μm程

度の範囲内の寸法に制限された線幅を有するものとしながら、接続配線7の抵抗を揃えることができる。

【0107】更に、本実施の形態では、接続配線7をMIM素子4の上部電極5を構成する第2の導電体たるTiで形成することとしているため、図11で示した従来のMIM素子の製造工程になら新しい工程を追加することなく、第2の導電体たるTiのパターニングに用いるフォトリソグラフィの変更のみで本発明を実現できるので、製造コストは従来のMIM素子と変わらないという利点がある。

【0108】なお、積層配線19を第3の導電体で形成することも可能である。しかし、一般に、画素電極6として採用されるITOは液晶セルの透過率を確保する目的で比較的薄く成膜されることから抵抗が高く、接続配線7の低抵抗化に対する寄与が小さい。したがって、このような場合は本実施の形態のように、第2の導電体で積層配線19を形成することが望ましい。

【0109】なお、透過型ではなく反射型の液晶表示装置とするために、画素電極6に反射板の機能をもたせる目的で第3の導電体として、例えばAlを採用する場合がある。この場合は、Alは比抵抗が小さく、透過率の確保のための薄膜化も必要ないから、Al層の抵抗は極めて小さい。したがって、このような場合は第3の導電体を積層配線19の材料として用いることが効果的である。

【0110】つまり、積層配線19の材料として第2の導電体、第3の導電体のいずれを用いるかは、配線の低抵抗化への寄与が大きいものを選択すればよく、いずれかに限定されるものではない。

【0111】この後、別途作成した対向側基板2と共に、配向膜の塗布とラビング処理をおこない、両者を貼り合わせ、液晶を注入する。そして光学フィルムと回路部材11及び15をとりつけ液晶表示装置が完成する。

【0112】以上のように、本実施の形態は、液晶セルの各信号配線3と、下部電極3a・絶縁体9・上部電極5からなる2端子非線形素子(MIM素子4)を形成した素子側基板1の端子(素子側端子8)とを接続する接続配線7の配線構造において、上記各接続配線7は、所

定の線幅を有する複数の接続部（第1の区間7aおよび第2の区間7b）を有し、上記複数の接続部は、上記各接続配線7で全抵抗が略同じになるように設けられている配線構造であることによって、短絡や断線を回避しつつ、接続配線7の抵抗の均一化を図ることのできるものである。

【0113】〔実施の形態2〕本発明の更なる実施の形態について、図面に基いて説明すれば、以下のとおりである。

【0114】図3（a）～（d）は素子側基板1を形成する際の各工程をあらわす説明図である。また、図4は、図3（d）のb-b'線矢視断面図である。

【0115】まず、図3（a）に示すように、ガラス基板上に信号配線3、下部電極3a、接続配線7および素子側端子8となる第1の導電体としてTaをスパッタリング法により薄膜形成した後に、フォトリソグラフィ法により所定の形状にパターニングする。

【0116】この時、接続配線7を、第1の区間7aと第2の区間7bに分け、第1の区間7aの長さが接続配線7の全長に比例するように形成する。すなわち、全長が最長である接続配線7においては、全区間が第1の区間7aで占められ、全長が最短となる接続配線7においては、全区間が第2の区間7bで占められることになる。

【0117】次に薄い絶縁体9を第1の導電体たるTaの全表面に形成する。本実施の形態では、陽極酸化法を用いて形成した。絶縁体9を形成した後、図3（b）のように、フォトリソグラフィ法を用いて絶縁体9の層にスルーホール18を空け、下部電極3a及び素子側端子電極10が後に形成する上層と導通がとれるように、第1の導電体たるTaを露出させる。同時に、第1の区間7aの少なくとも両端の2カ所において、絶縁体9の層にスルーホール20を空け、Taの表面を露出させ

$$R_a(n) = R_{a1}(n) \times R_{a2}(n) / (R_{a1}(n) + R_{a2}(n))$$

$$R_{a1}(n) = \rho_1 \times l_a(n) / (W_{a1} \times D_1)$$

$$R_{a2}(n) = \rho_2 \times l_a(n) / (W_{a2} \times D_2)$$

また、第2の区間7bの配線抵抗R_b(n)は、以下の式であらわされる。

$$R_b(n) = \rho_1 \times l_b(n) / (W_{b1} \times D_1)$$

したがって、n番目の接続配線7の配線抵抗R(n)

R_a(n) : n番目の第1の区間7aの配線抵抗

R_{a1}(n) : n番目の第1の区間7aの第1の導電体の配線抵抗

R_{a2}(n) : n番目の第1の区間7aの第2の導電体の配線抵抗

R_b(n) : n番目の第2の区間7bの配線抵抗

ρ₁ : 第1の導電体の比抵抗

ρ₂ : 第2の導電体の比抵抗

W_{a1} : 第1の区間7aにおける第1の導電体の線幅

W_{a2} : 第1の区間7aにおける第2の導電体の線幅

W_{b1} : 第2の区間7bにおける第1の導電体の線幅

D₁ : 第1の導電体の膜厚

る。

【0118】次に、図3（c）に示すように、上部電極5を形成するために、第2の導電体たるTiをスパッタリング法にて薄膜形成した後に、フォトリソグラフィ法により所定の形状にパターニングする。同時に、第1の区間7aの表面に積層配線19もパターニングしておく。したがって、第1の導電体たるTaと第2の導電体たるTiは絶縁体9のスルーホール20を介して接続されることになる。

【0119】このようにスルーホール20を介した接続方法を用いた場合には、第1の導電体たるTaは絶縁体9により保護されるため、上層のエッチング時に、第1の区間7aのTaの膜厚が薄くなり、抵抗が大きくなることを抑止できるという効果も得られる。

【0120】次に、図3（d）のように、画素電極6および素子側端子電極10となる第3の導電体としてITOをスパッタリング法により薄膜形成した後に、フォトリソグラフィ法にて所定の形状にパターニングする。

【0121】上記の工程において、接続配線7は、全長が最長Lである接続配線7を1番目とし、全長が最短lである接続配線7をN番目とすると、n番目の接続配線7を構成する第1の区間7aの長さl_a(n)と第2の区間7bの長さl_b(n)が以下のような関係になるように形成する。

$$l_a(n) = L \times (N - n) / (N - 1)$$

$$l_b(n) = l \times (n - 1) / (N - 1)$$

つまり、接続配線7は第1の区間7aと第2の区間7bからなるのであるが、接続配線7が最長となる部分（n=1）では全区間が第1の区間7aとなり、接続配線7が最短となる部分（n=N）では全区間が第2の区間7bとなるものである。

【0122】ここで、第1の区間7aの配線抵抗R_a(n)は、以下の式であらわされる。

は、以下の式であらわされる。

$$R(n) = R_a(n) + R_b(n)$$

なお、以上の式中に用いた記号の意義は以下の通りである。

D_2 : 第2の導電体の膜厚

例えば、 $L=3$ (mm)、 $l=1$ (mm) の場合を考え、具体的数値として、 $\rho_1=100$ ($\mu\Omega\cdot\text{cm}$)、 $\rho_2=120$ ($\mu\Omega\cdot\text{cm}$)、 $W_{a1}=20$ (μm)、 $W_{a2}=12$ (μm)、 $W_{b1}=11$ (μm)、 $D_1=3000$ (Å)、 $D_2=4000$ (Å) を代入して $R_a(n)$ 、 $R_b(n)$ を計算すると、以下ようになる。

$$R_a(n) = 300 \times (N-n) / (N-1) \quad (\Omega)$$

$$R_b(n) = 303 \times (n-1) / (N-1) \quad (\Omega)$$

すなわち、 $R(n)$ は以下の式であらわせる。

$$R(n) = 300 \times (N-n) / (N-1) + 303 \times (n-1) / (N-1) \quad (\Omega)$$

以上から明らかなように、接続配線7が最長となる部分 ($n=1$) では、全区間が第1の導電体と第2の導電体の2層構造からなる第1の区間7aであり、抵抗は300Ωになる。一方、最短となる部分 ($n=N$) では全区間が第1の導電体の単層構造からなる第2の区間7bであり、抵抗は303Ωとなる。したがって、 $R(n)$ は n の値によらず、ほぼ一定値となる。このようにして、接続配線7の全抵抗が略同じになるような断面構造を有している接続配線7を形成することができる。

【0123】従来の方法では、接続配線7毎の抵抗のばらつきを線幅の調整のみにより揃えるため、最大の線幅を有する接続配線7と最小の線幅を有する接続配線7では、線幅に3倍もの違いを作らなければならないが、本実施の形態では最大の線幅を有する部分で20μm、最小の線幅を有する部分で11μmと2倍程度の違いにまで縮小できる。したがって、全ての接続配線7を、断線や短絡などの不良パターンの発生を抑えることのできる線幅である約10μm～約30μm程度の範囲内の寸法に制限された線幅を有するものとしながら、接続配線7の抵抗を揃えることができる。

【0124】更に、本実施の形態は、接続配線7をMIM素子4の上部電極5を構成する第2の導電体たるTiで形成することとしているため、図12で示した従来のMIM素子の製造工程になら新しい工程を追加することなく、スルーホール20の形成に用いるフォトリソと、第2の導電体たるTiのパターニングに用いるフォトリソの変更のみで本発明を実現できるので、製造コストは従来のMIM素子と変わらないという利点がある。

【0125】また、第1の導電体たるTaと第2の導電体たるTiを絶縁体9に設けた2カ所のスルーホール20で接続したが、積層配線19が断線して接続配線7の低抵抗化に対する寄与が消失しないように、絶縁体9の3カ所以上にスルーホール20を設けても構わない。

【0126】ただし、第1の区間7aにおいて、絶縁体9の全面に大きな短冊状のスルーホール20を設けると、絶縁体9をエッチングする際のオーバーエッチング

により、第1の導電体たるTaが深く除去されてしまい、Ta層の抵抗が増してしまうおそれがある。したがって、本実施の形態のように、必要最小限の数と大きさでスルーホール20を設けることが望ましい。

【0127】なお、信号配線3の表面にもスルーホールを設け、第2の導電体たるTiを積層して、信号配線3の低抵抗化を同時に実現してもよい。

【0128】なお、積層配線19を第3の導電体で形成することも可能である。しかし、一般に、画素電極6として採用されるITOは液晶セルの透過率を確保する目的で比較的薄く成膜されることから抵抗が高く、接続配線7の低抵抗化に対する寄与が小さい。したがって、このような場合は本実施の形態のように、第2の導電体で積層配線19を形成することが望ましい。

【0129】なお、透過型ではなく反射型の液晶表示装置とするために、画素電極6に反射板の機能をもたせる目的で第3の導電体として、例えばAlを採用する場合がある。この場合は、Alは比抵抗が小さく、透過率の確保のための薄膜化も必要ないから、Al層の抵抗は極めて小さい。したがって、このような場合は第3の導電体を積層配線19の材料として用いることが効果的である。

【0130】つまり、積層配線19の材料として第2の導電体、第3の導電体のいずれを用いるかは、配線の低抵抗化への寄与が大きいものを選択すればよく、いずれかに限定されるものではない。

【0131】この後、別途作成した対向側基板2と共に、配向膜の塗布とラビング処理をおこない、両者を貼り合わせ、液晶を注入する。そして光学フィルムと回路部材11及び15をとりつけ液晶表示装置が完成する。

【0132】以上のように、本実施の形態は、液晶セルの各信号配線3と、下部電極3a・絶縁体9・上部電極5からなる2端子非線形素子(MIM素子4)を形成した素子側基板1の端子(素子側端子8)とを接続する接続配線7の配線構造において、上記各接続配線7は、所定の線幅を有する複数の接続部(第1の区間7aおよび第2の区間7b)を有し、上記複数の接続部が複数の導電体の多層構造を有することにより、上記各接続配線7は全抵抗が略同じになるように設けられている配線構造であり、短絡や断線を回避しつつ、接続配線7の抵抗の均一化を図ることのできるものである。

【0133】〔実施の形態3〕本発明の更なる実施の形態について、図面に基いて説明すれば、以下のとおりである。

【0134】図5(a)～(d)は素子側基板1を形成する際の各工程をあらわす説明図である。また、図6は、図5(d)のc-c'線矢視断面図である。

【0135】まず、図5(a)に示すように、ガラス基板上に信号配線3、下部電極3a、接続配線7および素

子側端子8となる第1の導電体としてTaをスパッタリング法により薄膜形成した後に、フォトリソグラフィ法により所定の形状にパターンニングする。

【0136】この時、接続配線7を、第1の区間7aと第2の区間7bに分け、第1の区間7aの長さが接続配線7の全長に比例するように形成する。すなわち、全長が最長である接続配線7においては、全区間が第1の区間7aで占められ、全長が最短となる接続配線7においては、全区間が第2の区間7bで占められることになる。

【0137】次に薄い絶縁体9を第1の導電体たるTaの全表面に形成する。本実施の形態では、陽極酸化法を用いて形成した。絶縁体9を形成した後、図5(b)のように、フォトリソグラフィ法を用いて絶縁体9の層にスルーホール18を空け、素子側端子電極10が後に形成する上層と導通がとれるように、第1の導電体たるTaを露出させる。同時に、第2の区間7bにも短冊状にスルーホール21を空け、絶縁体9を除去すると共に、そのままエッチングを続け、Taを薄膜化させる。

【0138】次に、図5(c)に示すように、上部電極5を形成するために、第2の導電体たるTiをスパッタリング法にて薄膜形成した後に、フォトリソグラフィ法により所定の形状にパターンニングする。

$$R_b(n) = R_{b1}(n) \times R_{b1'}(n) / (R_{b1}(n) + R_{b1'}(n))$$

$$R_{b1}(n) = \rho_1 \times l_b(n) / (W_{b1} \times D_1)$$

$$R_{b1'}(n) = \rho_1 \times l_b(n) / (W_{b1'} \times D_{1'})$$

したがって、n番目の接続配線7の配線抵抗R(n)

は、以下の式であらわされる。

$$R(n) = R_a(n) + R_b(n)$$

$R_a(n)$: n番目の第1の区間7aの配線抵抗

$R_b(n)$: n番目の第2の区間7bの配線抵抗

$R_{b1}(n)$: n番目の第2の区間7bにおける厚い第1の導電体の配線抵抗

$R_{b1'}(n)$: n番目の第2の区間7bにおける薄い第1の導電体の配線抵抗

ρ_1 : 第1の導電体の比抵抗

W_{a1} : 第1の区間7aにおける第1の導電体の線幅

W_{b1} : 第2の区間7bにおける厚い第1の導電体の線幅

$W_{b1'}$: 第2の区間7bにおける薄い第1の導電体の線幅

D_1 : 厚い第1の導電体の膜厚

$D_{1'}$: 薄い第1の導電体の膜厚

例えば、 $L=3$ (mm)、 $l=1$ (mm) の場合を考え、具体的数値として、 $\rho_1=100$ ($\mu\Omega \cdot \text{cm}$)、 $W_{a1}=20$ (μm)、 $W_{b1}=5$ (μm)、 $W_{b1'}=5$ (μm)、 $D_1=3000$ (Å)、 $D_{1'}=1000$ (Å) を代入して $R_a(n)$ 、 $R_b(n)$ を計算すると、以下のようになる。

$$R_a(n) = 500 \times (N-n) / (N-1) \quad (\Omega)$$

$$R_b(n) = 500 \times (n-1) / (N-1) \quad (\Omega)$$

すなわち、 $R(n)$ は以下の式であらわせる。

$$R(n) = 500 \times (N-n) / (N-1) + 500 \times (n-1) / (N-1) \quad (\Omega)$$

【0139】次に、図5(d)のように、画素電極6および素子側端子電極10となる第3の導電体としてITOをスパッタリング法により薄膜形成した後に、フォトリソグラフィ法にて所定の形状にパターンニングする。

【0140】上記の工程において、接続配線7は、全長が最長Lである接続配線7を1番目とし、全長が最短lである接続配線7をN番目とすると、n番目の接続配線7を構成する第1の区間7aの長さ $l_a(n)$ と第2の区間7bの長さ $l_b(n)$ が以下のような関係になるように形成する。

$$l_a(n) = L \times (N-n) / (N-1)$$

$$l_b(n) = l \times (n-1) / (N-1)$$

つまり、接続配線7は第1の区間7aと第2の区間7bからなるのであるが、接続配線7が最長となる部分 ($n=1$) では全区間が第1の区間7aとなり、接続配線7が最短となる部分 ($n=N$) では全区間が第2の区間7bとなるものである。

【0141】ここで、第1の区間7aの配線抵抗 $R_a(n)$ は、以下の式であらわされる。

$$R_a(n) = \rho_1 \times l_a(n) / (W_{a1} \times D_1)$$

また、第2の区間7bの配線抵抗 $R_b(n)$ は、以下の式であらわされる。

である。

【0142】なお、以上の式中に用いた記号の意義は以下の通りである。

以上から明らかなように、接続配線7が最長となる部分 ($n=1$) では、全区間が成膜時と略同一の膜厚の第1の導電体からなる第1の区間7aであり、抵抗は500 Ω になる。一方、最短となる部分 ($n=N$) では全区間が薄膜化された第1の導電体からなる第2の区間7bであり、抵抗は500 Ω となる。上式に従えば、 $R(n)$ はnの値によらず、一定値となる。このようにして、接続配線7の全抵抗が略同じになるような断面構造を有している接続配線7を形成することができる。

【0143】単一材料を用いて同一膜厚のままで抵抗を揃える場合、従来の方法では、接続配線7毎の抵抗のば

らつきを線幅の調整のみにより揃えるため、最大の線幅を有する接続配線7と最小の線幅を有する接続配線7では、線幅に3倍もの違いを作らなければならないが、本実施の形態では最大の線幅を有する部分で $20\mu\text{m}$ 、最小の線幅を有する部分で $10\mu\text{m}$ と2倍の違いにまで縮小できる。したがって、全ての接続配線7を、断線や短絡などの不良パターンの発生を抑えることのできる線幅である約 $10\mu\text{m}$ ～約 $30\mu\text{m}$ 程度の範囲内の寸法に制限された線幅を有するものとしながら、接続配線7の抵抗を抑えることができる。

【0144】更に、本実施の形態は、接続配線7をMIM素子4の上部電極5を構成する第2の導電体たるTiで形成することとしているため、図12で示した従来のMIM素子の製造工程になんら新しい工程を追加することなく、スルーホール21の形成に用いるフォトリソグرافیの変更のみで本発明を実現できるので、製造コストは従来のMIM素子と変わらないという利点がある。

【0145】この後、別途作成した対向側基板2と共に、配向膜の塗布とラビング処理をおこない、両者を貼り合わせ、液晶を注入する。そして光学フィルムと回路部材11及び15をとりつけ液晶表示装置が完成する。

【0146】以上のように、本実施の形態は、液晶セルの各信号配線3と、下部電極3a・絶縁体9・上部電極5からなる2端子非線形素子(MIM素子4)を形成した素子側基板1の端子(素子側端子8)とを接続する接続配線7の配線構造において、上記各接続配線7は、所定の線幅を有するそれぞれ唯一の導電体の単層構造を有する第1及び第2接続部(第1の区間7a及び第2の区間7b)からなり、該第1接続部の長さは、それが属する接続配線7の全長に応じて長くなると共に、上記第1接続部は上記第2接続部よりも膜厚が大きく、且つ、これら両膜厚は上記各接続配線7で全抵抗が略同じになるように設けられている配線構造であることによって、短絡や断線を回避しつつ、接続配線7の抵抗の均一化を図ることのできるものである。

【0147】〔実施の形態4〕本発明の更なる実施の形態について、図面に基いて説明すれば、以下のとおりである。

【0148】図7(a)～(d)は素子側基板1を形成する際の各工程をあらわす説明図である。また、図8は、図7(d)のd-d'線矢視断面図である。

【0149】まず、図7(a)に示すように、ガラス基板上に信号配線3、下部電極3a、接続配線7および素子側端子8となる第1の導電体としてTaをスパッタリング法により薄膜形成した後に、フォトリソグラフィ法により所定の形状にパターニングする。

【0150】この時、接続配線7を、第1の区間7aと第2の区間7bに分け、第1の区間7aの長さが接続配線7の全長に比例するように形成する。すなわち、全長が最長である接続配線7においては、全区間が第1の区

間7aで占められ、全長が最短となる接続配線7においては、全区間が第2の区間7bで占められることになる。

【0151】次に薄い絶縁体9を第1の導電体たるTaの全表面に形成する。本実施の形態では、陽極酸化法を用いて形成した。絶縁体9を形成した後、図7(b)のように、フォトリソグラフィ法を用いて絶縁体9の層にスルーホール18を空け、下部電極3a及び素子側端子電極10が後に形成する上層と導通がとれるように、第1の導電体たるTaを露出させる。同時に、第1の区間7aの少なくとも両端の2カ所において、絶縁体9の層にスルーホール20を空け、Taの表面を露出させる。同時に、第1の区間7aの少なくとも両端の2カ所において、絶縁体9の層にスルーホール20を空け、Taの表面を露出させる。また同時に、第2の区間7bにおいてもスリット状にスルーホール21を空け絶縁体9を除去すると共に、そのままエッチングを続け、第2の区間7bのTaを薄膜化させる。

【0152】次に、図7(c)に示すように、上部電極5を形成するために、第2の導電体たるTiをスパッタリング法にて薄膜形成した後に、フォトリソグラフィ法により所定の形状にパターニングする。同時に、第1の区間7aの表面に積層配線19もパターニングしておく。したがって、第1の導電体たるTaと第2の導電体たるTiは絶縁体9のスルーホール20を介して接続されることになる。

【0153】このように、スルーホール20を介した接続方法を用いれば、第1の導電体たるTaは絶縁体9により保護されるため、上層のエッチング時に、第1の区間7aのTaの膜厚が薄くなり、抵抗が大きくなることを抑止できるという効果も得られる。

【0154】次に、図7(d)のように、画素電極6および素子側端子電極10となる第3の導電体としてITOをスパッタリング法により薄膜形成した後に、フォトリソグラフィ法にて所定の形状にパターニングする。

【0155】上記の工程において、接続配線7は、全長が最長である接続配線7を1番目とし、全長が最短である接続配線7をN番目とすると、n番目の接続配線7を構成する第1の区間7aの長さ $l_a(n)$ と第2の区間7bの長さ $l_b(n)$ が以下のような関係になるように形成する。

$$l_a(n) = L \times (N - n) / (N - 1)$$

$$l_b(n) = l \times (n - 1) / (N - 1)$$

つまり、接続配線7は第1の区間7aと第2の区間7bからなるのであるが、接続配線7が最長となる部分($n=1$)では全区間が第1の区間7aとなり、接続配線7が最短となる部分($n=N$)では全区間が第2の区間7bとなるものである。

【0156】ここで、第1の区間7aの配線抵抗 $R_a(n)$ は、以下の式であらわされる。

$$R_a(n) = R_{a1}(n) \times R_{a2}(n) / (R_{a1}(n) + R_{a2}(n))$$

$$R_{a1}(n) = \rho_1 \times l_a(n) / (W_{a1} \times D_1)$$

$$R_{a2}(n) = \rho_2 \times l_a(n) / (W_{a2} \times D_2)$$

また、第2の区間7bの配線抵抗 $R_b(n)$ は、以下の式であらわされる。

$$R_b(n) = R_{b1}(n) \times R_{b1'}(n) / (R_{b1}(n) + R_{b1'}(n))$$

$$R_{b1}(n) = \rho_1 \times l_b(n) / (W_{b1} \times D_1)$$

$$R_{b1'}(n) = \rho_1 \times l_b(n) / (W_{b1'} \times D_{1'})$$

したがって、 n 番目の接続配線7の配線抵抗 $R(n)$ は、以下の式であらわされる。なお、以上の式中に用いた記号の意義は以下の通りである。

$$R(n) = R_a(n) + R_b(n)$$

$R_a(n)$: n 番目の第1の区間7aの配線抵抗

$R_{a1}(n)$: n 番目の第1の区間7aの第1の導電体の配線抵抗

$R_{a2}(n)$: n 番目の第1の区間7aの第2の導電体の配線抵抗

$R_b(n)$: n 番目の第2の区間7bの配線抵抗

$R_{b1}(n)$: n 番目の第2の区間7bにおける厚い第1の導電体の配線抵抗

$R_{b1'}(n)$: n 番目の第2の区間7bにおける薄い第1の導電体の配線抵抗

ρ_1 : 第1の導電体の比抵抗

ρ_2 : 第2の導電体の比抵抗

W_{a1} : 第1の区間7aにおける第1の導電体の線幅

W_{a2} : 第1の区間7aにおける第2の導電体の線幅

W_{b1} : 第2の区間7bにおける厚い第1の導電体の線幅

$W_{b1'}$: 第2の区間7bにおける薄い第1の導電体の線幅

D_1 : 厚い第1の導電体の膜厚

$D_{1'}$: 薄い第1の導電体の膜厚

D_2 : 第2の導電体の膜厚

例えば、 $L=3$ (mm)、 $l=1$ (mm) の場合を考え、具体的数値として、 $\rho_1=100$ ($\mu\Omega \cdot \text{cm}$)、 $\rho_2=120$ ($\mu\Omega \cdot \text{cm}$)、 $W_{a1}=19$ (μm)、 $W_{a2}=10$ (μm)、 $W_{b1}=8$ (μm)、 $W_{b1'}=6$ (μm)、 $D_1=3000$ (Å)、 $D_{1'}=1000$ (Å)、 $D_2=4000$ (Å) を代入して $R_a(n)$ 、 $R_b(n)$ を計算すると、以下のようになる。

$$R_a(n) = 332 \times (N-n) / (N-1) \quad (\Omega)$$

$$R_b(n) = 334 \times (n-1) / (N-1) \quad (\Omega)$$

すなわち、 $R(n)$ は以下の式であらわせる。

$$R(n) = 332 \times (N-n) / (N-1) + 334 \times (n-1) / (N-1) \quad (\Omega)$$

以上から明らかなように、接続配線7が最長となる部分 ($n=1$) では、全区間が第1の導電体と第2の導電体の2層構造からなる第1の区間7aであり、抵抗は332 Ω になる。一方、最短となる部分 ($n=N$) では全区間が第1の導電体の単層構造からなる第2の区間7bであり、抵抗は334 Ω となる。上式に従えば、 $R(n)$ は n の値によらず、ほぼ一定値となる。このようにして、接続配線7の全抵抗が略同じになるような断面構造を有している接続配線7を形成することができる。

【0157】従来の方法では、接続配線7毎の抵抗のばらつきを線幅の調整のみにより揃えるため、最大の線幅を有する接続配線7と最小の線幅を有する接続配線7では、線幅に3倍もの違いを作らなければならないが、本

実施の形態では最大の線幅を有する部分で19 μm 、最小の線幅を有する部分で14 μm と2倍以下の違いにまで縮小できる。したがって、全ての接続配線7を、断線や短絡などの不良パターンの発生を抑えることのできる線幅である約10 μm ～約30 μm 程度の範囲内の寸法に制限された線幅を有するものとしながら、接続配線7の抵抗を揃えることができる。

【0158】また、配線の積層化と配線の薄膜化の相乗効果によって、第1の区間7aの抵抗と第2の区間7bとの抵抗の差を大きくすることが容易となるため、配線抵抗の調整幅がより大きくなり、端子部や液晶セルの外形状などの設計の自由度が増す。

【0159】更に、本実施の形態は、接続配線7をMIM素子4の上部電極5を構成する第2の導電体たるTiで形成することとしているため、図12で示した従来のMIM素子の製造工程になら新しい工程を追加することなく、スルーホール20、21の形成に用いるフォトマスクと、第2の導電体たるTiのパターニングに用いるフォトマスクの変更のみで本発明を実現できるので、製造コストは従来のMIM素子と変わらないという利点がある。

【0160】また、第1の導電体たるTaと第2の導電体たるTiを絶縁体9に設けた2カ所のスルーホール20で接続したが、積層配線19が断線して接続配線7の低抵抗化に対する寄与が消失しないように、絶縁体9の

3カ所以上にスルーホール20を設けても構わない。

【0161】ただし、第1の区間7aにおいて、絶縁体9の全面に大きな短冊状のスルーホール20を設けると、絶縁体9をエッチングする際のオーバーエッチングにより、第1の導電体たるTaが深く除去されてしまい、Ta層の抵抗が増してしまうおそれがある。したがって、本実施の形態のように、必要最小限の数と大きさでスルーホール20を設けることが望ましい。信号配線3の表面にもスルーホールを設け、第2の導電体たるTiを積層して、信号配線3の低抵抗化を同時に実現してもよい。

【0162】なお、積層配線19を第3の導電体で形成することも可能である。しかし、一般に、画素電極6として採用されるITOは液晶セルの透過率を確保する目的で比較的薄く成膜されることから抵抗が高く、接続配線7の低抵抗化に対する寄与が小さい。したがって、このような場合は本実施の形態のように、第2の導電体で積層配線19を形成することが望ましい。

【0163】更に、透過型ではなく反射型の液晶表示装置とするために、画素電極6に反射板の機能をもたせる目的で第3の導電体として、例えばAlを採用する場合がある。この場合は、Alは比抵抗が小さく、透過率の確保のための薄膜化も必要ないから、Al層の抵抗は極めて小さい。従って、このような場合は第3の導電体を積層配線19の材料として用いることが効果的である。

【0164】つまり、積層配線19の材料として第2の導電体、第3の導電体のいずれを用いるかは、配線の低抵抗化への寄与が大きいものを選択すればよく、いずれかに限定されるものではない。

【0165】この後、別途作成した対向側基板2と共に、配向膜の塗布とラビング処理をおこない、両者を貼り合わせ、液晶を注入する。そして光学フィルムと回路部材11及び15をとりつけ液晶表示装置が完成する。

【0166】以上のように、本実施の形態は、液晶セルの各信号配線3と、下部電極3a・絶縁体9・上部電極5からなる2端子非線形素子(MIM素子4)を形成した素子側基板1の端子(素子側端子8)とを接続する接続配線7の配線構造において、上記各接続配線7は、所定の線幅を有すると共に、複数の導電体の多層構造を有する第1接続部(第1の区間7a)及び唯一の導電体の単層構造を有する第2接続部(第2の区間7b)からなり、該第1接続部の長さは、それが属する接続配線7の全長に応じて長くなると共に、上記第1接続部は上記第2接続部よりも膜厚が大きく、且つ、これら両膜厚は上記各接続配線7で全抵抗が略同じになるように設けられている配線構造であることによって、短絡や断線を回避しつつ、接続配線7の抵抗の均一化を図ることのできるものである。

【0167】〔実施の形態5〕本発明の更なる実施の形態について、図17及び図18を参照しながら説明す

べ以下のとおりである。図17(a)乃至(d)は素子側基板1を形成する際の各工程をあらわす説明図である。また、図18は、図17(d)のe-e'線矢視断面図である。

【0168】本実施の形態5では、実施の形態1と同様にして、接続配線7の厚み方向の構造を変え、接続配線7の抵抗を揃えている。しかしながら、実施の形態1における液晶表示装置においては、第1の区間7aと第2の区間7bの接続部の構造物の高さが異なることを原因として、素子側基板1と対向側基板2を貼り合わせた際に、両基板間の距離が不均一となり、液晶表示装置の第1の区間7aや第2の区間7bの領域やその周辺に色ムラが発生して不良となることがある。

【0169】そこで、本実施の形態5では、このような不良を防ぐために、第2の区間7bの配線群の隙間に第1の区間7aと厚み方向の構造が同一なダミーパターン22を配置している。これにより、第1の区間7aの領域における配線構造物の高さ、第2の区間7bの領域における配線構造物の高さが略同じになる。したがって、素子側基板1と対向側基板2の間のギャップが均一になり、液晶層の厚みの違いに起因する色ムラの発生を抑えることができる。このような素子側基板1の形成方法は、実施の形態1と基本的には同じであり、ダミーパターン22を形成する点において異なっている。以下詳細に説明する。

【0170】まず、図17(a)に示すように、ダミーパターン22を形成するために、第1の導電体たるTaをスパッタリング法により薄膜形成した後に、フォトリソグラフィ法により信号配線3等をパターンニングするが、その際に、第2の区間7bの配線群の隙間にダミーパターン22を同時に形成する。

【0171】次に、図17(b)に示すように、陽極酸化法を用いて薄い絶縁膜9を形成する。本実施の形態5では、素子側端子8のみでなく、接続配線7の全てを保護樹脂で覆った状態で陽極酸化法を行い、画素領域内に限定して絶縁膜9を形成した。

【0172】その後、図17(c)に示すように、上部電極5および積層配線19を、第2の導電体たるTiをスパッタリング法により薄膜形成した後に、フォトリソグラフィ法にて所定の形状にパターンニングする。このとき、ダミーパターン22の表面にも第2の導電体をパターンニングして、ダミーパターン22の厚み方向の構造を第1の区間7aにおける配線構造物と同じにする。

【0173】それから、図17(d)に示すように、画素電極6および素子側端子電極10を、第3の導電体としてITOをスパッタリング法により薄膜形成した後に、フォトリソグラフィ法により所定の形状にパターンニングする。

【0174】その後、別途作成した対向側基板2と共に、配向膜の塗布とラビング処理を行い、両者を貼り合

わせ、液晶を注入する。そして、光学フィルムと回路部材11及び15をとりつけて液晶表示装置が完成する。

【0175】以上のように、ダミーパターン22は、素子側基板1と対向側基板2の間のギャップを均一化させるためのものであって、接続配線7の抵抗の調節には寄与しない。したがって、正規の接続配線同士の短絡を引き起こすような不良パターンや液晶表示装置の美観を損なわなければ、ダミーパターン22の寸法や数は自由に設定して良い。例えば、第2の区間7bの配線群の隙間の全てに形成するのではなく、ダミーパターン22の数を減らしてもよい。しかし、電氣的に浮いている状態では、製造中に発生する放電による不良を発生させるおそれがあるので、第1の区間7aもしくは第2の区間7b等の正規の接続配線（接続部）に接続させることが好ましい。

【0176】また、実施の形態2、3、及び4に関しても、第1の区間7aの接続部と同じ構造を有するダミーパターン22を第2の区間7bの配線群の隙間に形成し、色ムラを抑えることができることは言うまでもない。更には、ダミーパターン22を接続配線7がもともと存在しない画素領域の周辺に形成してもよい。

【0177】また、ダミーパターン22は、他の薄膜材料を用いて形成してもよいが、他の薄膜材料の工程の追加や膜厚の調整が必要であるので、本実施の形態のように、第1の区間7aと少なくとも厚み方向の構造が同じダミーパターン22を形成する方法が最も容易である。したがって、従来のMIM素子の形成に何ら新しい工程を追加することなく、第1の導電体たるTa、第2の導電体たるTiの形成に用いるフォトリソマスクの変更のみで実現できるので、製造コストは従来のMIM素子と変わらないという利点がある。

【0178】以上、実施の形態1乃至5においては、MIM素子4を用いた液晶セルを例として説明したが、本発明の適用はこれに限るものでない。例えば、TFD素子、DM素子といった2端子非線形素子を用いた液晶セルにも適用できる。更には、ボトムゲート型のTFTを用いた液晶セルでは、ゲート電極を信号配線3、ソース電極またはドレイン電極を上部電極5と置き換えて考えれば適用できる。

【0179】更に、単純マトリクス駆動タイプの液晶セルのように電極材料が1種類のみであっても適用できる。つまり、接続配線7上に他の導電体薄膜を積層したり、接続配線7を部分的に薄膜化する工程を増やす必要があるが、本発明にしたがって、接続配線7の厚み方向の構造を変えることによって接続配線7の抵抗を調整することが可能であるから、液晶セルの設計の自由度が増す効果は同等に得られるのである。

【0180】すなわち、一基板上に複数の配線材料を用いた平面表示装置であって複数の接続配線が形成されるものであれば、本発明の内容を適用可能であり、更に

は、一基板上に複数の配線材料を用いる配線構造一般において、本発明は適用可能である。

【0181】また、説明に使用した材料や寸法値は一例であってこれに限るものではない。例えば、実施の形態1乃至5においては、最長部の接続配線7が第1の区間7aのみ、最短部の接続配線7が第2の区間7bのみからなる構成を説明したが、これは説明を簡単にするための措置であり、このような設計に限定されるものではなく、全ての接続配線7が第1の区間7aと第2の区間7bから構成されていてもよい。

【0182】更に、実施の形態1乃至5においては、接続配線7の第1の区間7aにおける線幅と第2の区間7bにおける線幅が異なるものとしたが、第1の区間7aにおける線幅と第2の区間7bにおける線幅は同じであってもよく、かかる場合には、接続配線7を複雑な形状で引き回した場合にも、引き回しパターンに関係なく、接続配線7の全領域において、配線の短絡を防止することができる。

【0183】すなわち、本発明を実施する際には、接続配線を複数の接続部に分け、接続配線の最長部の抵抗と最短部の抵抗とが略同じになるように、それぞれの接続部において使用する配線材料や配線構造を任意に組み合わせればよい。

【0184】

【発明の効果】本発明に係る配線構造は、以上のように、各信号配線と基板の端子とを接続する複数の接続配線の配線構造において、上記各接続配線は、複数の接続部からなり、上記複数の接続部は、その断面の厚み方向の構造が異なることにより、それぞれの抵抗値を異ならせており、上記各接続部は、上記各接続配線の全抵抗が略同じになるように設けられていることを特徴としている。

【0185】上記発明によれば、各接続部は、その断面の厚み方向の構造を変えている。つまり、断面の厚み方向の構造に応じて、各接続部毎に単位長さ当たりの抵抗値を変化させることが可能となる。このように、各接続部の抵抗値を変化させることによって、各接続配線の全抵抗が略同じになるように調整可能となる。

【0186】つまり、従来のように接続配線の線幅を変化させるのではなくて、断面の厚み方向の構造を変えることによって、各接続配線の線幅を適切な値に収めることができる。それゆえ、接続配線の線幅の変化に起因して生じていた従来の接続配線の短絡や断線を確実に防ぐことが可能となる。

【0187】また、上記複数の接続部によれば、該複数の接続部が、接続配線間で全抵抗が互いに略同じになるように設けられている。これにより、各接続配線の抵抗は端子毎に略同じになる。このように、端子毎に抵抗の差がなくなるので、信号配線に印加される信号電圧にはムラが生じなくなり、所望の信号電圧を各端子に印加す

ることが可能となる。それゆえ、回路動作の信頼性が向上する。

【0188】更には、上記複数の接続部における線幅が同一値であるときには、接続配線毎に線幅を調整することにより接続配線間での抵抗を略同じにする従来手法に比較して、接続配線を複雑な形状に引き回した場合でも、接続配線間の間隔は一定値に保たれるため、接続配線同士の短絡を起こしにくい。

【0189】これにより、接続配線の抵抗の均一化が容易に行えるので、端子ピッチを狭めることが可能となる。この結果、小型の安価な回路部材を使用することができ、コストダウンを実現できる。また、接続配線の設計に余裕ができ、上記基板が複数設けられた1枚のマザーボードから取り出せる数が増加するので、全体としての製造コストを確実に低減できるという効果を併せて奏する。

【0190】上記配線構造において、上記接続配線は、所定の範囲内の寸法に制限された線幅を有することが好ましい。この場合、各接続配線の線幅が太過ぎることによる接続配線同士の短絡や、外観への悪影響、更には各接続配線の線幅が細過ぎることによる接続配線の断線を防止しながら、各接続配線における抵抗の均一化を行うことができるという効果を併せて奏する。

【0191】本発明に係る液晶表示装置は、以上のように、各信号配線と基板の端子とを接続する複数の接続配線の配線構造を有する液晶表示装置において、上記各接続配線は複数の接続部からなり、上記複数の接続部は、その断面の厚み方向の構造が異なることにより、それぞれの抵抗値を異ならせており、上記各接続部は、上記各接続配線の全抵抗が略同じになるように設けられていることを特徴としている。

【0192】上記発明によれば、各接続部は、その断面の厚み方向の構造を変えている。これにより、断面の厚み方向の構造に応じて、各接続部毎に単位長さ当たりの抵抗値を変化させることが可能となる。このように、各接続部の抵抗値を変化させることによって、各接続配線の全抵抗が略同じになるように調整可能となる。その結果、従来のように接続配線の線幅を変化させるのではなく、断面の厚み方向の構造を変えることによって、各接続配線の線幅を適切な値に収めることができる。それゆえ、接続配線の線幅の変化に起因して生じていた従来の接続配線の短絡や断線を確実に防ぐことが可能となるという効果を併せて奏する。

【0193】各接続部は、不良パターンの発生を抑えることができるように所定の範囲内の寸法に制限された線幅を有しているので、線幅の過不足に起因する上記短絡および断線は生じなくなる。接続配線の線幅に過不足が無いので、白黒表示型の液晶セルのように接続配線が直接見える液晶セルであっても、太い配線や線幅が変化することによる接続配線のパターンムラが無く、美観を損

ねることがない。

【0194】また、上記複数の接続部によれば、該複数の接続部は、接続配線間で全抵抗が互いに略同じになるように設けられている。これにより、各接続配線の抵抗は端子毎に略同じになる。このように、端子毎に抵抗の差がなくなるので、信号配線に印加される信号電圧にはムラが生じなくなり、各画素の表示の濃淡が揃い、所望の表示が得られる。それゆえ、画素表示の信頼性が著しく向上する。

【0195】したがって、接続配線の抵抗の均一化が容易に行えるので、端子ピッチを狭めることが可能となる。したがって、小型の安価な回路部材を使用でき、全体としてコストダウンを実現できる。また、接続配線の設計に余裕ができるので、上記基板が複数設けられた1枚のマザーガラスから取り出せる数が増加し、全体としての製造コストを確実に低減できるという効果を併せて奏する。

【0196】上記液晶表示装置において、上記接続配線は、所定の範囲内の寸法に制限された線幅を有することが好ましい。この場合、上記接続配線を所定の範囲内の寸法に制限された線幅を有するものとするることにより、各接続配線の線幅が太過ぎることによる接続配線同士の短絡や、外観への悪影響、更には各接続配線の線幅が細過ぎることによる接続配線の断線を防止しながら、各接続配線における抵抗の均一化を容易に行うことができる。

【0197】これにより、信号電圧を所望の液晶セルに印加するための信号入力端子の端子ピッチを狭めることが可能となる。したがって、小型の安価な回路部材を使用でき、全体としてコストダウンを実現できる。また、接続配線の設計に余裕ができるので、上記基板が複数設けられた1枚のマザーガラスから取り出せる数が増加し、全体としての製造コストを確実に低減できるという効果を併せて奏する。

【0198】更には、上記液晶表示装置において、上記接続部は、不良パターンの発生を抑えることができる線幅を有していることが好ましい。例えば、接続配線を断線させないためには、液晶セルの製造ラインの実力に左右されるが、接続配線の線幅として10 μ m前後は必要である。一方、接続配線の引き回しパターンや接続配線の断面形状などに依存するものの、例えば、接続配線の線幅が30 μ mを超えると、接続配線のパターン設計における自由度が大幅に減少し、各接続配線間に充分な間隔を設けることが難しくなって接続配線同士の短絡を引き起こす可能性が高くなる。

【0199】したがって、上記液晶表示装置において、上記接続部を不良パターンの発生を抑えることができる線幅を有するものとするることにより、接続配線における不良パターンの発生を抑制しつつ、各接続配線における抵抗の均一化を図ることができるようになるという効果

を併せて奏する。

【0200】上記液晶表示装置において、上記各接続部の長さは、該接続部が属する接続配線の全長に応じて設定されていることが好ましい。各接続配線における複数の接続部の長さの設定には、該接続部の数が多ければ多いほど、複雑で時間を要する。しかし、上記の場合、各接続部は所定の線幅を有しているため、各接続部の抵抗は、材質が同じものであれば、その長さに応じて変化することになる。このように、接続配線の全長に応じて各接続部の長さが設定されるので、各接続配線における複数の接続部の抵抗の設定が容易に短時間でできるという効果を併せて奏する。

【0201】上記の液晶表示装置において、上記複数の接続部は、第1及び第2接続部からなり、該第1及び第2接続部は複数の導電体の多層構造を有することが好ましい。

【0202】この場合、第1及び第2接続部は複数の導電体の多層構造を有しているため、多層構造のこれら複数の導電体は、互いに電気的に並列接続される。したがって、たとえ複数の導電体のうちの一つに断線が生じて、当該断線した導電体が剥離していない限り、多層構造の低抵抗化に寄与すると共に、他の導電体に断線が生じていない限り、第1接続部は第2接続部と、第2接続部は第1接続部と電気的接続関係をそれぞれ保持できる。それゆえ、配線構造の信頼性を著しく高くすることができるという効果を併せて奏する。

【0203】また、上記の液晶表示装置において、上記第1接続部は第2接続部よりも膜厚が大きく、且つ、これら両接続部の総膜厚は、上記各接続配線で全抵抗が同一となるように設定されていることが好ましい。

【0204】この場合、上記第1接続部は第2接続部よりも膜厚が大きい構成であるから、一般に、第1接続部の抵抗を第2接続部の抵抗より小さくすることが容易である。したがって、第1接続部及び第2接続部の層構造のみならず、第1接続部及び第2接続部の膜厚をも適宜調整することにより、第1接続部及び第2接続部の抵抗を調整することができる。それゆえ、接続配線の設計の自由度を向上させながら、接続配線の全抵抗を揃えることが可能となるという効果を併せて奏する。

【0205】本発明の更に他の液晶表示装置は、以上のように、各信号配線と基板の端子とを接続する複数の接続配線の配線構造を有する液晶表示装置において、上記各接続配線は、所定の線幅を有するそれぞれ唯一の導電体の単層構造を有する第1及び第2接続部からなり、該第1接続部の長さは、それが属する接続配線の全長に応じて長くなると共に、上記第1接続部は上記第2接続部よりも膜厚が大きく、且つ、これら両膜厚は、上記各接続配線で全抵抗が略同一となるように設定されていることを特徴としている。

【0206】上記の構成において、所定の線幅を有する

第1接続部の膜厚は、所定の線幅を有する第2接続部の膜厚より大きいと、第1接続部の単位長さあたりの抵抗を第2接続部の単位長さあたりの抵抗より小さく設計することが容易である。

【0207】一般に各接続配線の抵抗はその全長に比例して大きくなるが、上記の構成によれば、各接続配線の全長に応じて、第2接続部より単位長さあたりの抵抗が小さい第1接続部の長さを長くすることにより、接続配線全体に占める第1接続部の割合を大きくすることができ、全長の異なる接続配線の抵抗を揃えることが容易となる。また、第1接続部、第2接続部共に、唯一の導電体の単層構造であるから、多層構造の場合に比較して、設計、形成共に容易であり、より簡易な構成にて各接続配線の抵抗を揃えることができる。

【0208】これにより、端子毎に接続配線に起因する抵抗の差がなくなるので、信号配線に印加される信号電圧にはムラが生じなくなり、各画素の表示の濃淡が揃い、所望の表示が得られる。それゆえ、画素表示の信頼性が著しく向上する。

【0209】したがって、接続配線の抵抗の均一化が容易に行えるので、端子ピッチを狭めることが可能となる。したがって、小型の安価な回路部材を使用でき、全体としてコストダウンを実現できる。また、接続配線の設計に余裕ができるので、上記基板が複数設けられた1枚のマザーガラスから取り出せる数が増加し、全体としての製造コストを確実に低減できる。

【0210】更に、上記各接続部は、不良パターンの発生を抑えることができるように、所定の範囲内の寸法に制限された線幅を有しているため、線幅の過不足に起因する上記短絡および断線は生じなくなる。接続配線の線幅に過不足が無いので、白黒表示型の液晶セルのように接続配線が直接見える液晶セルであっても、太い配線や線幅が変化することによる接続配線のパターンムラがなく、美観を損ねることを回避できるという効果を併せて奏する。

【0211】本発明に係る基板の製造方法は、以上のように、配線構造を有する基板の製造方法において、所定の線幅を有する複数の接続部を有する接続配線となる第1の導電体をパターンニングする工程、上記各接続配線で全抵抗が略同じになるように、第1の導電体の処理と他の導電体のパターンニングとの少なくとも一方を行う工程を含むことを特徴としている。

【0212】上記発明によれば、第1の導電体をパターンニングすることにより形成された各接続配線は、不良パターンの発生を抑えることができるように所定の範囲内の寸法に制限された線幅を有しているため、線幅の過不足に起因する上記短絡および断線は生じなくなる。

【0213】また、上記複数の接続部によれば、接続配線間で全抵抗が互いに略同じになるように、第1の導電体の処理や第1の導電体以外の他の導電体のパターンニ

グを行うことができる。ここで第1の導電体の処理とは、例えば、エッチング処理やレーザー加熱など、任意の方法を用いることができる。また、第1の導電体の処理や他の導電体のパターンニングは、該複数の接続部において、一部の接続部のみに行ってよいし、接続部毎に異なる処理としてもよい。これにより、各接続配線の抵抗は端子毎に略同じになる。したがって、信号配線に印加される信号電圧にはムラが生じなくなり、所望の信号電圧を各端子に印加することが可能となる。それゆえ、回路動作の信頼性が向上する。

【0214】これにより、接続配線の抵抗の均一化が容易に行えるので、端子ピッチを狭めることが可能となる。この結果、小型の安価な回路部材を使用でき、全体としてコストダウンを実現できる。また、接続配線の設計に余裕ができるので、上記基板が複数設けられた1枚のマザーボードから取り出せる数が増加し、全体としての製造コストを確実に低減できるという効果を併せて奏する。

【0215】本発明に係る液晶表示装置の製造方法は、以上のように、各信号配線と基板の端子とを接続する接続配線の配線構造を有する液晶表示装置の製造方法において、所定の線幅を有する複数の接続部を有する接続配線となる第1の導電体をパターンニングする工程、上記各接続配線で全抵抗が略同じになるように、第1の導電体の処理と他の導電体のパターンニングとの少なくとも一方を行う工程を含むことを特徴としている。

【0216】上記製造方法によれば、製造した液晶表示装置の各接続配線は、不良パターンの発生を抑えることができるように所定の範囲内の寸法に制限された線幅を有しているので、線幅の過不足に起因する上記短絡および断線は生じなくなる。接続配線の線幅に過不足が無いので、白黒表示型の液晶セルのように接続配線が直接見える液晶セルであっても、太い配線や線幅が変化することによる接続配線のパターンムラが無く、美観を損ねることがない。

【0217】また、上記複数の接続部は、接続配線間で全抵抗が互いに略同じになるように設けられている。これにより、端子毎に接続配線に起因する抵抗の差がなくなるので、信号配線に印加される信号電圧にはムラが生じなくなり、各画素の表示の濃淡が揃い、所望の表示が得られる。それゆえ、画素表示の信頼性が著しく向上する。

【0218】したがって、接続配線の抵抗の均一化が容易に行えるので、端子ピッチを狭めて液晶表示装置を製造することが可能となる。この結果、小型の安価な回路部材を使用でき、全体としてコストダウンを実現できる。また、接続配線の設計に余裕ができるので、上記基板が複数設けられた1枚のマザーガラスから取り出せる数が増加し、全体としての製造コストを確実に低減できるという効果を併せて奏する。

【0219】上記液晶表示装置の製造方法において、上記各接続部の長さは、該接続部が属する接続配線の全長に応じて設定されることが好ましい。

【0220】この場合、接続配線の全長に応じて各接続部の長さが設定されるので、各接続配線における複数の接続部の抵抗の設定を容易に行いながら、液晶表示装置を製造することができるという効果を併せて奏する。

【0221】また、上記液晶表示装置の製造方法において、上記他の導電体は、上記素子側基板に含まれる導電体であることが好ましい。

【0222】この場合、上記他の導電体は、各接続配線における全抵抗を同じようにするために、各接続配線における複数の接続部の抵抗を適宜調整する役割を果たしている。ここで、上記他の導電体を上記素子側基板に含まれる素子の形成に用いられる導電体と同じものとすれば、第2の導電体のパターンニングに用いるフォトリソの変更のみを行うことにより、上記他の導電体のパターンニングが行われることとなる。

【0223】これにより、従来の素子側基板の製造工程になんら新しい工程を追加することなく、第2の導電体をパターンニングすることにより、各接続配線における複数の接続部の抵抗を調整することができるので、従来の液晶表示装置と変わらないコストで液晶表示装置を製造することができるという効果を併せて奏する。

【0224】更には、上記液晶表示装置の製造方法において、上記第1の導電体と上記他の導電体は、該第1の導電体上に設けた保護膜層を介して、2以上の部分で導通させることが好ましい。

【0225】上記の構成によれば、第1の導電体上に保護膜が設けられるので、他の導電体などのパターンニング時において、第1の導電体が腐食して膜厚が薄くなり、第1導電体の抵抗値が大きくなることが防がれる。

【0226】一方、他の導電体は、第1の導電体上の少なくとも2以上の部分で、第1の導電体と他の導電体が導通しているので、上記第1の導電体と電気的な並列接続が確保される。

【0227】これにより、第1の導電体の構造変化を保護膜層で保護しながら、配線抵抗を下げるできるので、安定した抵抗を有する第1の導電体を得られると共に、設計の自由度が向上し、更には、配線抵抗の製造ばらつきをも抑制しながら液晶表示装置を製造することができるという効果を併せて奏する。

【0228】また、本発明に係る液晶表示装置、基板の製造方法、及び液晶表示装置の製造方法において、上記複数の接続配線が、第1及び第2接続部からなり、上記第1接続部の配線構造物が上記第2接続部の配線構造物よりも膜厚が大きいものであって、上記第2接続部の配線群の隙間に、上記第1接続部と少なくとも厚み方向の構造が同じであるダミーパターンを設けることが好ましい。

【0229】上記の発明においては、第1接続部は素子側基板表面に対してそのパターン表面が高いので、液晶層の厚みが薄い。一方、第2接続部は素子側基板表面に対してパターン表面が低いので、液晶層の厚みが厚い。したがって、このままでは、液晶表示装置の第1接続部の近傍と第2接続部の近傍における背景色がそれぞれ異なり、液晶表示装置の美観を損ねることになる。

【0230】そこで、上記の発明によれば、素子側基板表面に対してパターンの高さが低い第2接続部の配線群の隙間に、第1接続部と少なくとも厚み方向の構造が同じであるダミーパターンを更に設けている。これにより、第1接続部のパターン表面の高さと、ダミーパターンを含んだ第2接続部のパターン表面の高さが略等しくなるので、液晶層の厚みの違いにより生じていた色ムラが生じなくなり、液晶表示装置の美観を維持できるという効果を奏する。

【図面の簡単な説明】

【図1】(a)～(d)は、本発明の一実施形態に係る配線構造を有する素子側基板の形成方法をあらわす説明図である。

【図2】図1(d)のa-a'線矢視断面図である。

【図3】(a)～(d)は、本発明の更なる実施形態に係る配線構造を有する素子側基板の形成方法をあらわす説明図である。

【図4】図3(d)のb-b'線矢視断面図である。

【図5】(a)～(d)は、本発明の更なる実施形態に係る配線構造を有する素子側基板の形成方法をあらわす説明図である。

【図6】図5(d)のc-c'線矢視断面図である。

【図7】(a)～(d)は、本発明の更なる実施形態に係る配線構造を有する素子側基板の形成方法をあらわす説明図である。

【図8】図7(d)のd-d'線矢視断面図である。

【図9】従来の液晶セルの構成を示す斜視図である。

【図10】従来の素子側基板上の1画素を示す斜視図である。

【図11】(a)～(d)は、従来の素子側基板の形成方法をあらわす説明図である。

【図12】(a)～(d)は、従来の素子側基板の形成

方法をあらわす説明図である。

【図13】従来の液晶セルをあらわす平面図である。

【図14】端子ピッチを狭くした従来の液晶セルの平面図である。

【図15】外形寸法を小さくした従来の液晶セルの平面図である。

【図16】図1に示した方法により製造した液晶セルをあらわす平面図である。

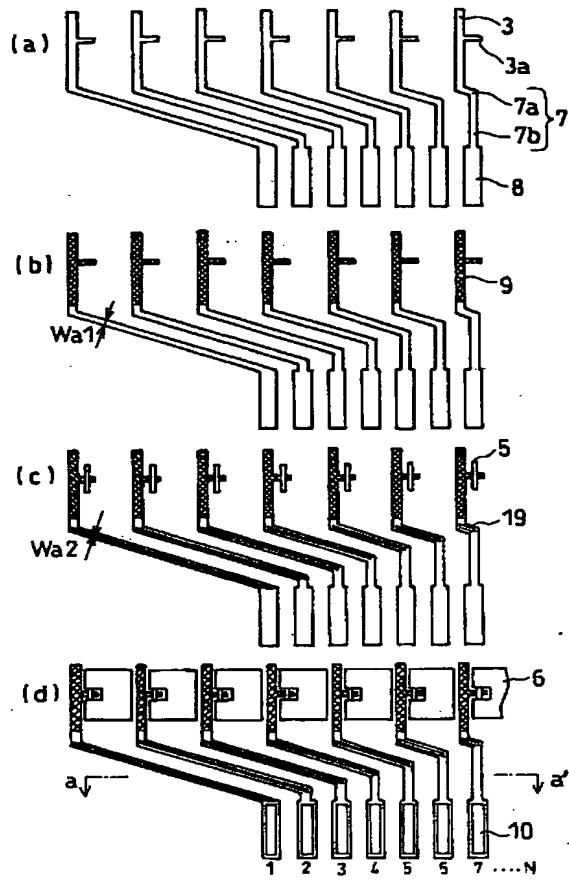
【図17】(a)乃至(d)は、本発明の更なる実施の形態における、素子側基板を形成する際の各工程をあらわす説明図である。

【図18】図17(d)のe-e'線矢視断面図である。

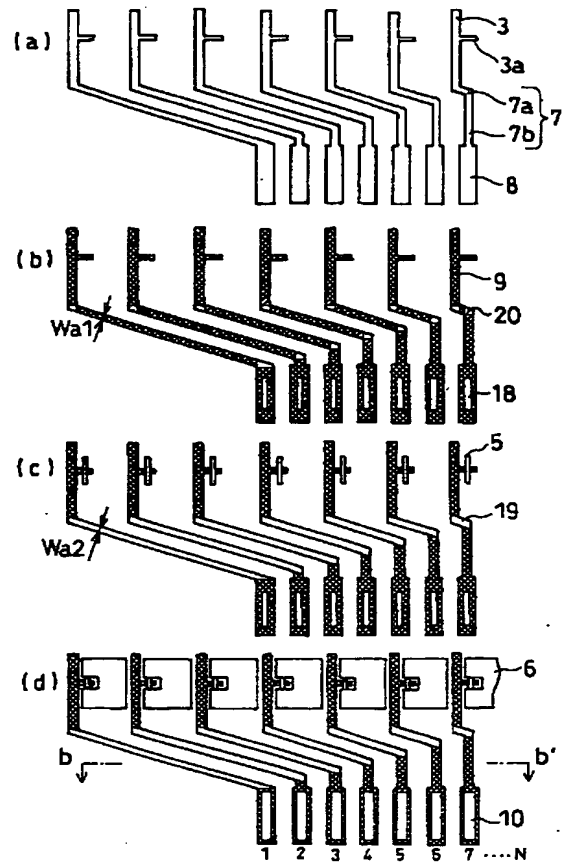
【符号の説明】

- | | |
|----|------------|
| 1 | 素子側基板 |
| 2 | 対向側基板 |
| 3 | 信号配線 |
| 3a | 下部電極 |
| 4 | MIM素子 |
| 5 | 上部電極 |
| 6 | 画素電極 |
| 7 | 接続配線 |
| 7a | 第1の区間(接続部) |
| 7b | 第2の区間(接続部) |
| 8 | 素子側端子 |
| 9 | 絶縁体 |
| 10 | 素子側端子電極 |
| 11 | 回路部材 |
| 12 | 対向側端子電極 |
| 13 | 接続配線 |
| 14 | 対向側電極 |
| 15 | 回路部材 |
| 16 | シール材 |
| 17 | 偏光板 |
| 18 | スルーホール |
| 19 | 積層配線 |
| 20 | スルーホール |
| 21 | スルーホール |
| 22 | ダミーパターン |

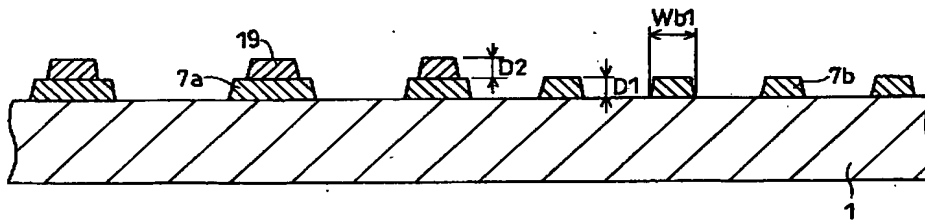
【図 1】



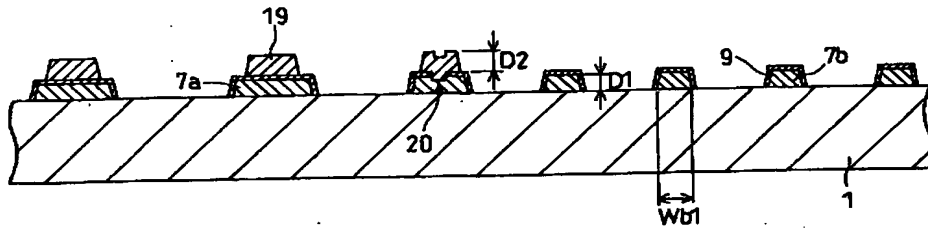
【図 3】



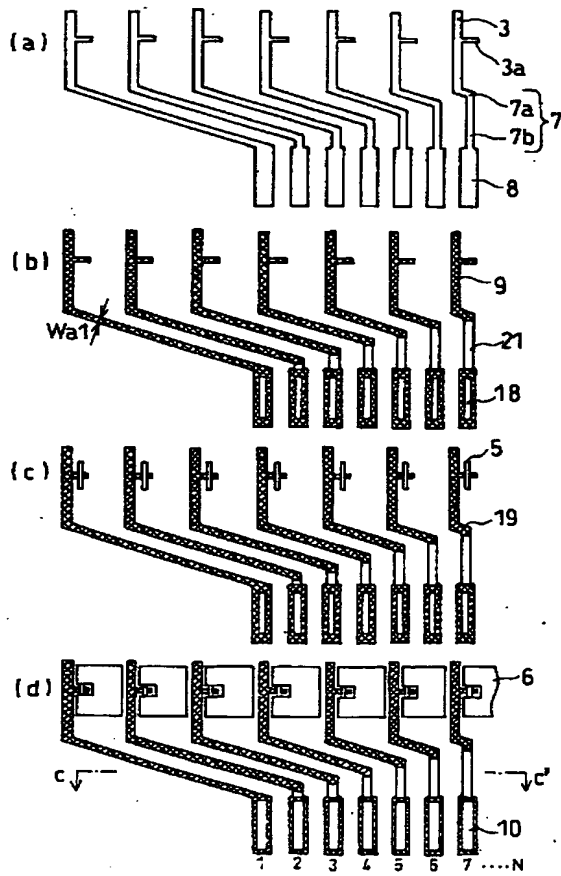
【図 2】



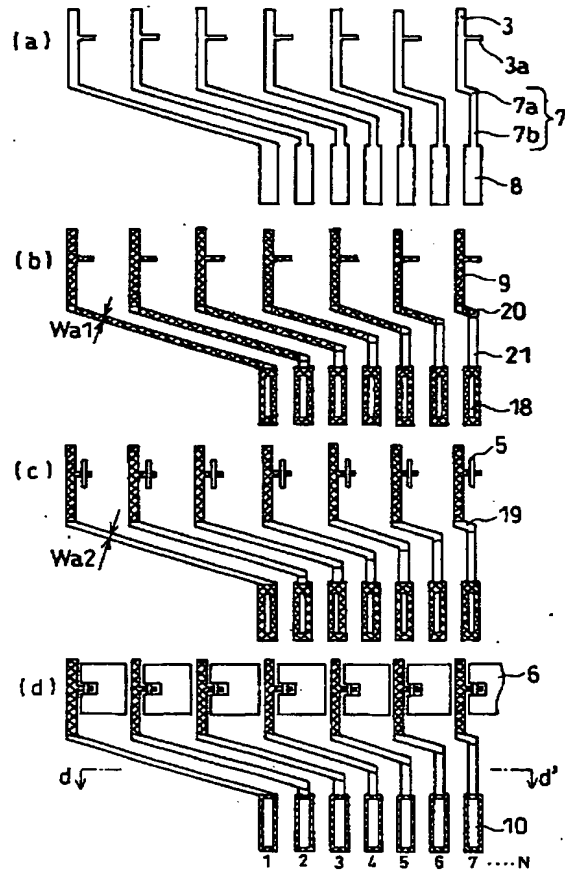
【図4】



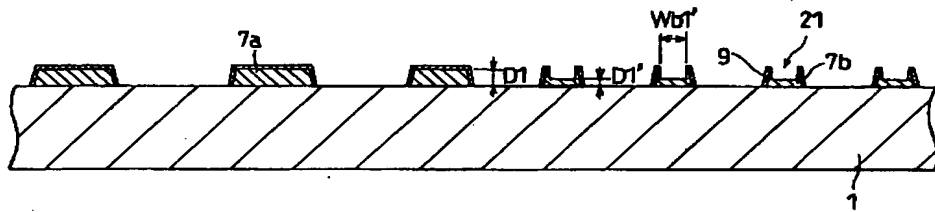
【図5】



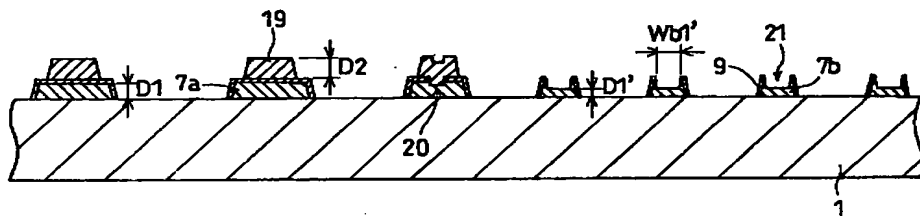
【図7】



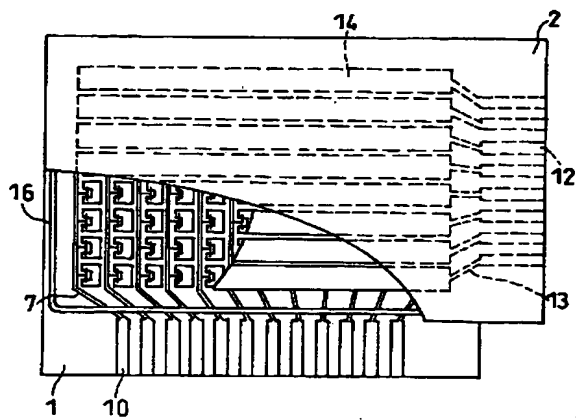
【図6】



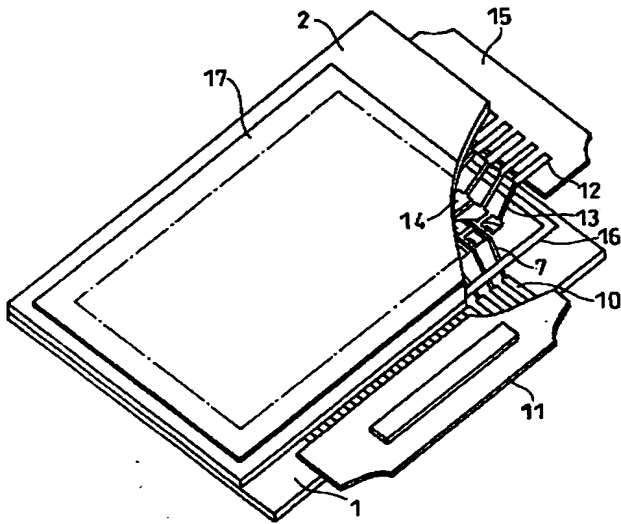
【図8】



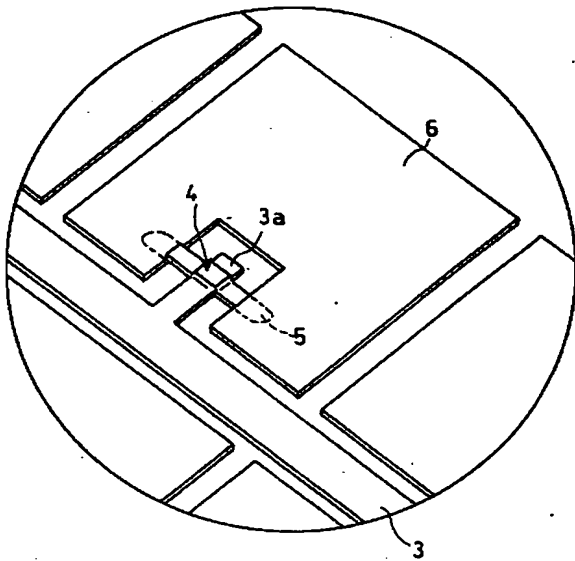
【図15】



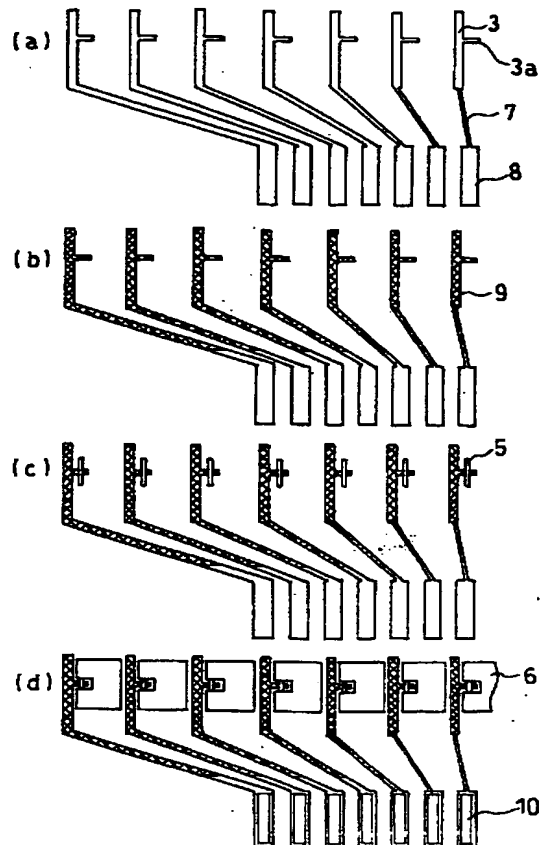
【図9】



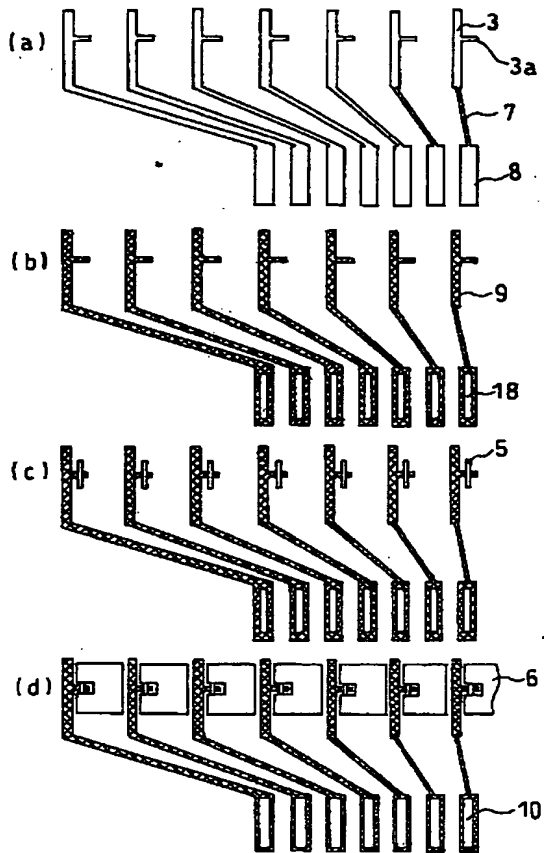
【図10】



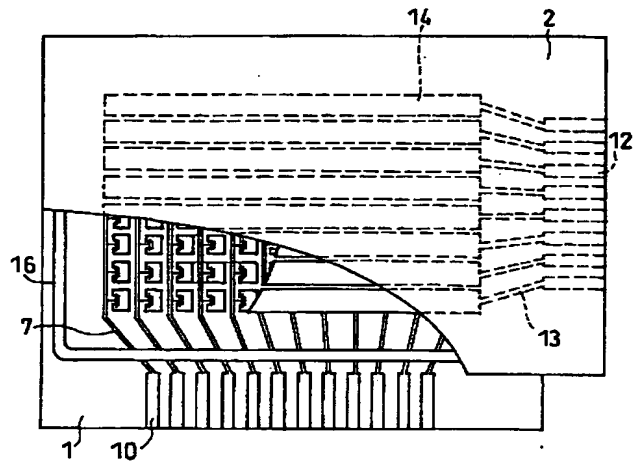
【図11】



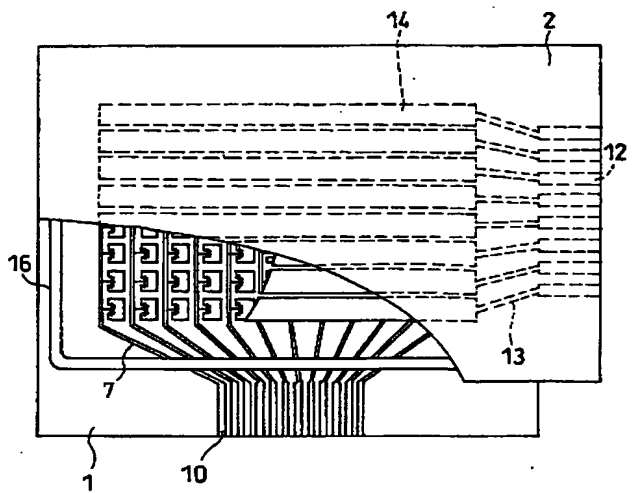
【図12】



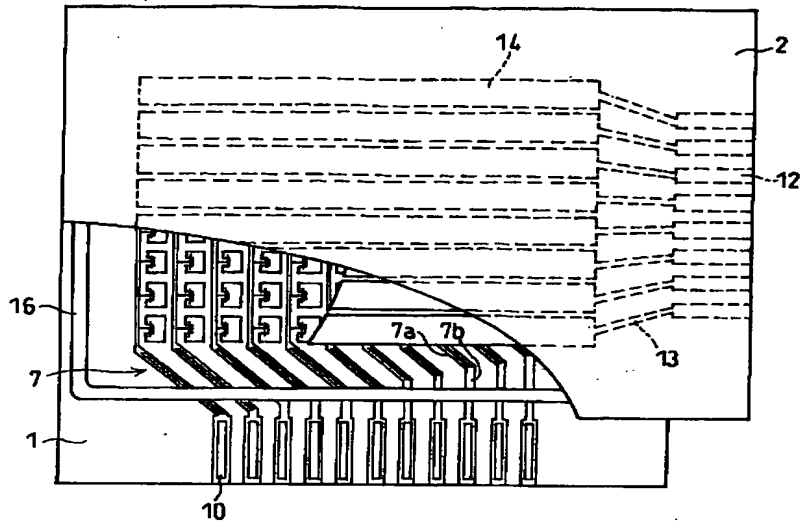
【図13】



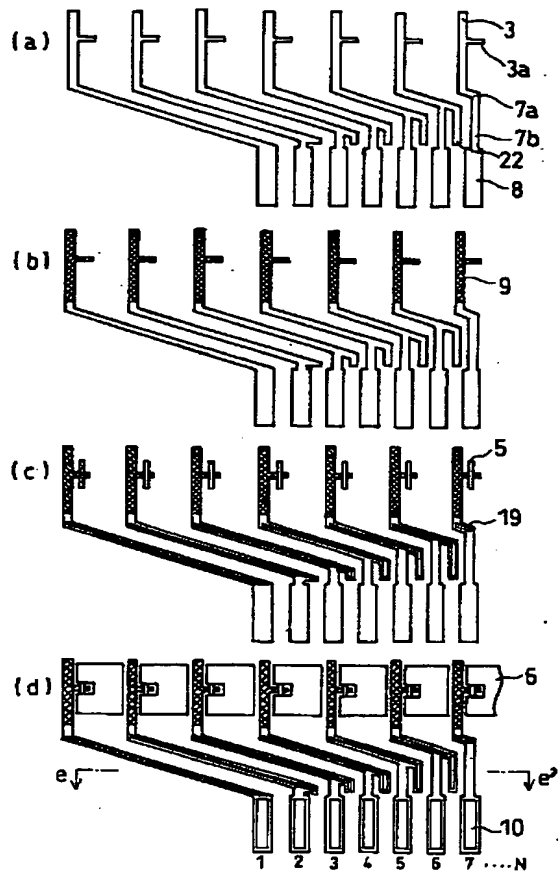
【図14】



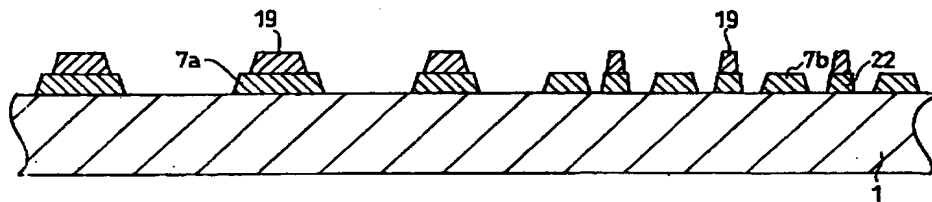
【図16】



【図17】



【図18】



フロントページの続き

Fターム(参考) 2H092 GA33 GA35 GA41 GA43 GA44
 HA14 HA19 KB04 KB13 KB14
 MA05 MA18 MA24 NA15 NA16
 NA28 PA12
 5E338 AA00 CC01 CD03 CD13 CD32
 EE11
 5F033 GG04 HH08 HH18 HH21 HH38
 JJ08 JJ18 KK21 MM05 MM21
 MM28 PP15 QQ08 QQ09 QQ24
 QQ25 QQ37 QQ68 QQ89 RR03
 SS26 VV01 XX01 XX10
 5G435 AA14 AA16 AA17 BB12 EE41
 KK05